

BAB I

PENDAHULUAN

1.1 Latar belakang

Seperti yang kita ketahui, sistem digital telah digunakan dalam kehidupan sehari-hari atau bidang industri saat ini karena lebih bermanfaat dibandingkan dengan sistem analog. Salah satu kelebihan sistem digital adalah kemampuan memproduksi sinyal yang lebih baik dan akurat serta *noise* yang lebih rendah. Sedangkan sistem analog tidak bisa mengukur sinyal dengan cukup teliti. Karena penting mengembangkan sistem digital, banyak perangkat digital baru yang telah didesain secara kompleks. Beberapa perangkat yang disebut mikroprosesor, mikrokontroler atau *microchip*. Hal ini sangat penting untuk memiliki kinerja kecepatan yang sangat tinggi di semua perangkat.

Multiplier adalah salah satu bagian yang paling penting dalam perangkat yang dapat mempengaruhi kinerja perangkat. Jadi, kecepatan tinggi dan sistem *multiplier* yang efisien adalah faktor penting bagi para perancang perangkat mikroprosesor, mikrokontroler dan lain-lain. Seperti kita ketahui, operasi perkalian tidak sulit untuk dilakukan di angka desimal. Tapi, untuk melakukan operasi dalam bilangan biner (yang digunakan dalam sistem digital) adalah operasi yang sangat kompleks. Percepatan yang signifikan dalam perhitungan waktu dapat dicapai dengan menetapkan secara intensif tugas proses perhitungan dengan menggunakan perangkat keras dan dengan memanfaatkan proses paralel dalam algoritma. Untuk saat ini, *Field Programmable Gate Arrays* (FPGA) telah muncul sebagai *platform* pilihan untuk implementasi *hardware* yang efisien.

Filter adalah suatu perangkat yang menghilangkan bagian dari sinyal yang tidak di inginkan. Filter di gunakan untuk mengekstraksi sinyal yang di inginkan dari sinyal *noise*. Filter digital merupakan suatu prosedur matematika atau algoritma yang mengolah sinyal masukan dan menghasilkan isyarat keluaran digital yang memiliki sifat tertentu sesuai tujuan filter. Filter digital dapat dibagi menjadi dua, yaitu filter digital FIR (*Finite Impulse Response*) dan filter digital IIR (*Infinite Impulse Response*). Pembagian ini berdasarkan pada tanggapan impulse filter tersebut. FIR memiliki tanggapan impulse yang panjang orde

filternya terbatas, sedangkan IIR tidak terbatas. FIR tidak memiliki pole, maka kestabilan dapat dijamin sedangkan pada IIR memiliki pole-pole sehingga lebih tidak stabil.

Salah satu *hardware* untuk mengimplementasikan filter adalah FPGA. FPGA adalah sebuah *Intergrated Circuit* yang didesain untuk dapat dikonfigurasi oleh *user* atau *designer* setelah keluar dari produksi. Pengkonfigurasi FPGA pada umumnya adalah spesifik menggunakan deskripsi bahasa *hardware* atau HDL (*Hardware Description Language*). *Field Programmable Gate Arrays* (FPGA) memungkinkan tingkat paralelisme yang tinggi sehingga dapat meningkatkan sumber daya yang tertanam yang tersedia pada FPGA. FPGA mendapatkan manfaat dari kecepatan *hardware* dan fleksibilitas perangkat lunak. Tiga faktor utama yang mempunyai peran penting dalam desain berbasis FPGA adalah arsitektur FPGA yang digunakan, perangkat *Electronic Design Automation* (EDA) dan desain teknik yang digunakan pada tingkat algoritma yang menggunakan *Hardware Description Language* (HDL).

Berdasarkan paparan latar belakang di atas, maka penulis akan meneliti mengenai Prototipe Pengali Pada SPARTAN-2 FPGA Sebagai Pendukung Tapis Digital Pada *Radio Detection Finder* (RDF).

1.2 Rumusan masalah

Rumusan masalah yang akan dibahas pada penelitian ini adalah sebagai berikut:

1. Bagaimana cara merancang *chip* IC pengali biner 8 bit sebagai pendukung operasi perkalian tapis digital LPF pada RDF?
2. Bagaimana cara mengimplementasikan algoritma *multiplier paper and pencil* dengan metode *hamming window* sebagai pendukung operasi perkalian tapis digital LPF pada RDF?

1.3 Batasan masalah

Pada Analisa penelitian ini, penulis mempertimbangkan beberapa hal untuk membatasinya guna mempermudah penulis dalam memperoleh data dan analisis sebagai berikut :

1. Penelitian hanya mengambil data dan menganalisis algoritma pengali biner 8 bit sebagai pendukung tapis digital RDF.
2. Menggunakan FPGA spartan-2 dan *software* xilinx ISE 10.1

1.4 Tujuan penelitian

Tujuan dari penelitian ini adalah untuk menganalisis algoritma multiplier hasil keluaran implementasi tapis digital LPF menggunakan metode *hamming window* dengan perancangan *chip IC* pada *software* xilinx 10.1.

1.5 Manfaat penelitian

Penelitian yang dilakukan mempunyai hasil yang bermanfaat. Adapun manfaat yang ingin didapat dalam penelitian ini antara lain :

1. Untuk menambah data penelitian di bidang algoritma rancang bangun IC pengali biner 8 bit pada FPGA dan menjadi referensi penelitian berikutnya.
2. Menjadi referensi khalayak umum dalam membuat atau merakit IC pengali biner 8 bit pada FPGA.
3. Menjadi referensi modul praktikum yang baru di laboratorium elektronika lanjut, karena belum ada praktikum yang membahas tentang FPGA .

1.6 Sistematika Laporan

Dalam penyusunan penulisan penelitian ini, dijabarkan bab-bab yang disesuaikan dengan sistematika penulisan diantaranya sebagai berikut:

BAB I : PENDAHULUAN

Pada bab ini, dijelaskan tentang latar belakang masalah, rumusan masalah, batasan masalah, tujuan penelitian, manfaat penelitian dan sistematika penulisan.

BAB II : TINJAUAN PUSTAKA

Pada bab ini akan menjelaskan tentang kajian pustaka dari penelitian yang sebelumnya serta pengertian dasar/landasan teori tentang algoritma rancang bangun IC pengali biner 8 bit pada FPGA.

BAB III : METODELOGI PENELITIAN

Bab ini berisikan tentang penjelasan mengenai metode penelitian yaitu tahapan penelitian, lokasi penelitian, Experimen dan bahan, diagram alir alur perancangan penelitian, blok diagram penelitian, dan jadwal pelaksanaan.

BAB IV : ANALISIS DAN PEMBAHASAN

Pada bab ini menjelaskan tentang hasil Experimen, data pengamatan, pembahasan serta analisis dari hasil penelitian.

BAB V : PENUTUP

Pada bab ini berisikan kesimpulan dan saran berdasarkan hasil penelitian.