

## ABSTRAK

### PROTOTIPE PENGALI PADA SPARTAN-2 FPGA SEBAGAI PENDUKUNG TAPIS DIGITAL PADA RADIO DETECTION FINDER (RDF)

Oleh:

**Adi Setiawan**

**NIM : 15010077**

**Departemen Teknik Elektro**

**Sekolah Tinggi Teknologi Adisutjipto**

[Adisetiawan176@gmail.com](mailto:Adisetiawan176@gmail.com)

Multiplier adalah salah satu bagian yang paling penting dalam perangkat yang dapat mempengaruhi kinerja perangkat digital. Jadi, kecepatan tinggi dan sistem multiplier yang efisien adalah faktor penting bagi para perancang perangkat mikroprosesor, mikrokontroler dan lain-lain digital. Seperti diketahui, operasi perkalian tidak sulit untuk dilakukan di angka desimal. Tapi, untuk melakukan operasi dalam bilangan biner (yang digunakan dalam sistem digital) adalah operasi yang sangat kompleks. Percepatan yang signifikan dalam perhitungan waktu dapat dicapai dengan menetapkan secara intensif tugas proses perhitungan dengan menggunakan perangkat keras dan dengan memanfaatkan proses paralel dalam algoritma. *Field Programmable Gate Arrays* (FPGA) telah muncul sebagai platform pilihan untuk implementasi *hardware* yang efisien. FPGA memungkinkan tingkat paralelisme yang tinggi sehingga dapat meningkatkan sumber daya yang tertanam yang tersedia pada FPGA. FPGA mendapatkan manfaat dari kecepatan *hardware* dan fleksibilitas perangkat lunak.

Skripsi ini memberikan analisis tentang algoritma multiplier hasil keluaran implementasi tapis digital LPF menggunakan metode *hamming window* dengan perancangan *chip IC* pada *software* xilinx 10.1. Metode ini digunakan untuk merancang *chip IC* multiplier sebagai pendukung tapis digital LPF, sehingga dapat ditentukan koefisien yang nantinya digunakan pada algoritma multiplier implementasi tapis digital LPF.

Berdasarkan penelitian ini, hasil pengamatan menunjukkan bahwa Algoritma multiplier 8 bit tapis digital LPF FIR dengan menggunakan metode *hamming window* telah dapat di implementasikan pada FPGA dan hasil keluaran filter telah sesuai dengan spesifikasi hasil rancangan. Tetapi terdapat *error* antara hasil teori dengan simulasi dan implementasi pada alat. *Error* terbesar sebesar 52,32% pada koefisien ke 4 (0,01748) dan *error* terkecil sebesar 0,72% pada koefisien ke 1 (0,31478).

**Kata Kunci:** *Multiplier, Field Programmable Gate Array (FPGA) Spartan-2, Xilinx ISE 10.1, Tapis Digital, Hamming Window.*

## **ABSTRACT**

### **PROTOTYPE MULTIPLIER IN SPARTAN-2 FPGA AS TAPIS DIGITAL SUPPORT ON RADIO DETECTION FINDER (RDF)**

By:

**Adi Setiawan**

**NIM : 15010077**

**Department of Electrical Engineering**

**Sekolah Tinggi Teknologi Adisutjipto**

[Adisetiawan176@gmail.com](mailto:Adisetiawan176@gmail.com)

*A multiplier is one of the most important parts of a device that can affect device performance. So, high speed and efficient multiplier systems are important factors for designers of microprocessor devices, digital microcontrollers and others. As is known, multiplication operations are not difficult to do in decimal numbers. But, to do operations in binary numbers (which are used in digital systems) is a very complex operation. Significant acceleration in time calculation can be achieved by setting intensively the calculation process task using hardware and by utilizing parallel processes in the algorithm. Field Programmable Gate Arrays (FPGAs) have emerged as the preferred platform for efficient hardware implementation. FPGA allows a high level of parallelism so that it can increase the embedded resources available on the FPGA. FPGA benefits from hardware speed and software flexibility.*

*This thesis provides an analysis of multiplier algorithms the results of LPF digital filter implementation output using the hamming window method with IC chip design in xilinx 10.1 software. This method is used to design IC multiplier chips to support the LPF digital filter, so that coefficients can be determined which will later be used in the multiplier LPF digital filter implementation algorithm.*

*Based on this study, the results of the observation show that the LPF FIR digital 8 bit multiplier algorithm using the hamming window method can be implemented on the FPGA and the output filter is in accordance with the specifications of the design results. But there is an error between the results of the theory and the simulation and implementation of the tool. The biggest error is 52.32% at the 4th coefficient (0.01748) and the smallest error is 0.72% at the 1st coefficient (0.31478).*

**Keywords : multiplier, Field Programmable Gate Array (FPGA) Spartan-2, Xilinx ISE 10.1, Tapis Digital, Hamming Window**