

Kode /Nama Rumpun : 454 / Teknik Elektronika

**LAPORAN AKHIR
PENELITIAN DOSEN PEMULA**



**PERANCANGAN TAPIS DIGITAL
SINYAL ELECTROCARDIOGRAM (ECG)
PADA ALAT MONITOR DETAK JANTUNG**

Tahun ke 1 dari rencana 1 tahun

TIM PENELITI

Ketua

DENNY DERMAWAN, S.T., M.Eng (NIDN : 0011117101)

Anggota

MUHAMAD JALU PURNOMO, S.T., M.Eng (NIDN : 0519128301)

Dibiayai oleh :

Direktorat Penelitian dan Pengabdian Kepada Masyarakat

Direktorat Jenderal Pendidikan Tinggi

Kementerian Pendidikan dan Kebudayaan

Sesuai dengan surat perjanjian pelaksanaan penugasan Penelitian Dosen Pemula

Bagi Dosen Perguruan Tinggi Swasta

Nomor : 029/HB-LIT/III/2016

Tanggal 15 Maret 2016

SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO (STTA)

YOGYAKARTA

Oktober 2016

HALAMAN PENGESAHAN

Judul : PERANCANGAN TAPIS DIGITALSINYAL
ELECTROCARDIOGRAM (ECG) PADA ALAT
MONITOR DETAK JANTUNG

Peneliti/Pelaksana
Nama Lengkap : DENNY DERMAWAN
Perguruan Tinggi : Sekolah Tinggi Teknologi Adisutjipto
NIDN : 0011117101
Jabatan Fungsional : Asisten Ahli
Program Studi : Teknik Elektro
Nomor HP : 085878594948
Alamat surel (e-mail) : dennydermawanstta@gmail.com

Anggota (1)
Nama Lengkap : MUHAMAD JALU PURNOMO
NIDN : 0519128301
Perguruan Tinggi : Sekolah Tinggi Teknologi Adisutjipto
Institusi Mitra (jika ada) : -
Nama Institusi Mitra : -
Alamat : -
Penanggung Jawab : -
Tahun Pelaksanaan : Tahun ke 1 dari rencana 1 tahun
Biaya Tahun Berjalan : Rp 11.600.000,00
Biaya Keseluruhan : Rp 14.375.000,00

Mengetahui,
Waket I STTA



(Gunawan S.T., M.T.)
NIP/NIK 090265

Yogyakarta, 31 - 10 - 2016
Ketua,



(DENNY DERMAWAN)
NIP/NIK 197111112005011001

Menyetujui,
Ketua P3M



(Yenni Astuti, S.T., M.Eng)
NIP/NIK 120480



**YAYASAN ADI UPAYA
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
(STTA)**

BLOK-R LANUD ADISUTJIPTO YOGYAKARTA
Telp. (0274) 451262, 451263, 451264 Fax. (0274) 451265
Sk. Mendiknas Nomor : 124/D/O/2001 Tanggal 2 Agustus 2001



**SURAT PERNYATAAN
LAPORAN AKHIR PELAKSANAAN HIBAH PENELITIAN
DESENTRALISASI TAHUN ANGGARAN 2016**

Yang bertandatangan di bawah ini, saya:

Nama : Denny Dermawan, S.T., M.Eng
Jabatan : Dosen/Ketua Peneliti
Skim : Penelitian Dosen Pemula (PDP)
Judul : Perancangan Tapis Digital Sinyal Electrocardiogram (ECG)
Pada Alat Monitor Detak Jantung

Dengan ini menyatakan bahwa, saya telah melaksanakan penugasan penelitian dan telah menyusun Laporan Akhir Pelaksanaan Penelitian Desentralisasi Dikti Tahun Anggaran 2016 sesuai dengan Surat Penugasan Pelaksanaan Penelitian (SP3) Dosen Pemula Bagi Dosen Perguruan Tinggi Swasta Nomor : 029/HB-LIT/III/2016 tanggal 15 Maret 2016

Demikian Pernyataan ini saya buat untuk dapat dipergunakan sebagaimana mestinya.

Yogyakarta, 31 Oktober 2016

Ketua Peneliti,

Denny Dermawan, S.T., M.Eng
NIP : 197111112005011001

Mengetahui
Wakil STTA,

Gunawan, S.T., M.T
NIK : 090265

Mengetahui
Kepala P3M STTA

Yenni Astuti, S.T., M.Eng
NIK : 120489



YAYASAN ADI UPAYA
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
(STTA)

BLOK-R LANUD ADISUTJIPTO YOGYAKARTA
Telp. (0274) 451262, 451263, 451264 Fax. (0274) 451265
Sk. Mendiknas Nomor : 124/DYQ/2001 Tanggal 2 Agustus 2001



BERITA ACARA
SERAH TERIMA LAPORAN AKHIR
PELAKSANAAN HIBAH DESENTRALISASI PENELITIAN
TAHUN ANGGARAN 2016

Pada hari ini Senin tanggal tiga puluh satu bulan Oktober tahun Dua ribu enam belas, bertempat di Kantor P3M STTA diadakan serah terima Laporan Akhir Pelaksanaan Hibah Penelitian Desentralisasi Dikti Tahun Anggaran 2016 sebagai berikut.

1. Nama : Yenni Astuti, S.T., M.Eng
Jabatan : Kepala Penelitian dan Pengabdian Kepada masyarakat (P3M) STTA
Selanjutnya disebut sebagai **PIHAK PERTAMA**.
2. Nama : Denny Dermawan, S.T., M.Eng
Jabatan : Dosen/Ketua Peneliti
Skim : Penelitian Dosen Pemula (PDP)
Judul Penelitian : Perancangan Tapis Digital Sinyal Electrocardiogram (ECG) Pada Alat Monitor Detak Jantung
Selanjutnya disebut sebagai **PIHAK KEDUA**.

PIHAK KEDUA telah menyerahkan Laporan Kemajuan Pelaksanaan Hibah Desentralisasi Dikti Tahun Anggaran 2016 kepada PIHAK PERTAMA, dan PIHAK PERTAMA telah menerima Laporan Kemajuan Pelaksanaan Hibah Desentralisasi Dikti Tahun Anggaran 2016 dengan skim dan judul sebagaimana tersebut di atas sebanyak6..... eksemplar.

Demikian, berita acara ini dibuat dengan sebenarnya.

Yogyakarta, 31 Oktober 2016

PIHAK PERTAMA
Kepala P3M STTA,



PIHAK KEDUA
Ketua Peneliti,

Denny Dermawan, S.T., M.Eng
NIP. : 197111112005011001



**YAYASAN ADI UPAYA
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
(STTA)**

BLOK-R LANUD ADISUTJIPTO YOGYAKARTA
Telp. (0274) 451262, 451263, 451264 Fax. (0274) 451265
Sk. Mendiknas Nomor : 124/D/O/2001 Tanggal 2 Agustus 2001



**BERITA ACARA
SERAH TERIMA LAPORAN PENGGUNAAN KEUANGAN 100%
HIBAH DESENTRALISASI PENELITIAN
TAHUN 2016**

Pada hari ini Senin tanggal tiga puluh satu bulan **Oktober** tahun dua ribu enam belas, bertempat bertempat di Kantor Penelitian dan Pengabdian Kepada Masyarakat (P3M STTA), telah diadakan serah terima Laporan Penggunaan Keuangan 100% Hibah Penelitian Desentralisasi Dikti Tahun 2016 sebagai berikut.

1. Nama : **Yenni Astuti, S.T., M.Eng**
Jabatan : Kepala Penelitian dan Pengabdian Kepada Masyarakat (P3M) STTA
Selanjutnya disebut sebagai **PIHAK PERTAMA**.
2. Nama : **Denny Dermawan, S.T., M.Eng**
Jabatan : Dosen/Ketua Peneliti
Skim : Penelitian Dosen Pemula (PDP)
Judul : Perancangan Tapis Digital Sinyal Electrocardiogram (ECG) Pada Alat Monitor Detak Jantung
Selanjutnya disebut sebagai **PIHAK KEDUA**.

PIHAK KEDUA telah menyerahkan Laporan Penggunaan Keuangan 100% Hibah Penelitian Desentralisasi Dikti Tahun Anggaran 2016 kepada PIHAK PERTAMA, dan PIHAK PERTAMA telah menerima berkas tersebut sesuai dengan Surat Pemugasan Pelaksanaan Penelitian (SP3) Dosen Pemula bagi Dosen Perguruan Tinggi Swasta Nomor : 029/HB-LIT/III/2016 tanggal 15 Maret 2016 sebanyak 6 eksemplar.

Demikian Berita Acara ini dibuat untuk dapat dipergunakan sebagaimana mestinya.

PIHAK PERTAMA
Kepala P3M STTA,



Yenni Astuti, S.T., M.Eng
NIK. : 120489

PIHAK KEDUA
Ketua Peneliti,


Denny Dermawan, S.T., M.Eng
NIP.: 197111112005011001



**YAYASAN ADI UPAYA
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
(STTA)**

BLOK-R LANUD ADISUTJIPTO YOGYAKARTA
Telp. (0274) 451262, 451263, 451264 Fax. (0274) 451265
Sk. Mendiknas Nomor : 124/Di/O/2001 Tanggal 2 Agustus 2001



**SURAT PERNYATAAN
TELAH MENYELESAIKAN SELURUH PEKERJAAN
HIBAH PENELITIAN DESENTRALISASI TAHUN 2016**

Yang bertandatangan di bawah ini, saya:

Nama : Denny Dermawan, S.T., M.Eng
Jabatan : Dosen/Ketua Peneliti
Skim : Penelitian Dosen Pemula (PDP)
Judul Penelitian : Perancangan Tapis Digital Sinyal Electrocardiogram (ECG)
Pada Alat Monitor Detak Jantung

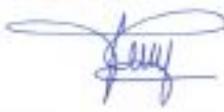
Dengan ini menyatakan bahwa, saya telah menyelesaikan seluruh pekerjaan penelitian dan telah menyusun Laporan Hasil Penelitian Desentralisasi Dikti Tahun Anggaran 2016 dengan judul dan skim sebagaimana tersebut di atas.

Demikian Pernyataan ini saya buat untuk dapat dipergunakan sebagaimana mestinya.

Mengetahui
Waket I STTA

Gunawan S.T., M.T.
NIK : 090265

Yogyakarta, 31 Oktober 2016
Ketua Peneliti,


Denny Dermawan S.T., M.Eng
NIP : 197111112005011001

Mengetahui
Ketua P3M STTA

Yenni Astuti, S.T., M.Eng.
NIK : 120489



**YAYASAN ADI UPAYA
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
(STTA)**

BLOK-R LANUD ADISUTJIPTO YOGYAKARTA
Telp. (0274) 451262, 451263, 451264 Fax. (0274) 451265
Sk. Mendiknas Nomor : 124/D/O/2001 Tanggal 2 Agustus 2001



BERITA ACARA PENYELESAIAN PEKERJAAN (BAPP)

Pada hari ini Senin tanggal tiga puluh satu bulan **Oktober** tahun **Dua ribu enam belas**, kami yang bertandatangan di bawah ini:

Nama : **Yenni Astuti, S.T., M.Eng**
Jabatan : **Kepala Penelitian dan Pengabdian Kepada Masyarakat
(P3M) STTA**

Selanjutnya disebut sebagai **PIHAK PERTAMA.**

Nama : **Denny Dermawan, S.T., M.Eng**
Jabatan : **Dosen/Ketua Peneliti**
Skim : **Penelitian Dosen Pemula (PDP)**
Judul : **Perancangan Tapis Digital Sinyal Electrocardiogram (ECG)
Pada Alat Monitor Detak Jantung**

Selanjutnya disebut sebagai **PIHAK KEDUA.**

1. Dengan ini **PIHAK KEDUA** menyatakan telah menyelesaikan seluruh pekerjaan yang telah dtugaskan oleh **PIHAK PERTAMA** berupa Penelitian Desentralisasi Dikti Tahun Anggaran 2016 sesuai dengan Surat Penugasan Pelaksanaan Penelitian (SP3) Dosen Pemula bagi Dosen Perguruan Tinggi Swasta Nomor : 029/HB-LIT/III/2016 tanggal 15 Maret 2016
2. **PIHAK PERTAMA** menerima hasil pekerjaan yang telah diselesaikan oleh **PIHAK KEDUA** sebagaimana tersebut di atas.

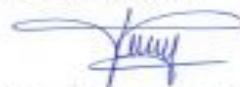
Yogyakarta, 31 Oktober 2016

PIHAK PERTAMA,



Yenni Astuti, S.T., M.Eng
K. ENIKA 120469

PIHAK KEDUA,


Denny Dermawan S.T., M.Eng
NIP : 197111112005011001

RINGKASAN

Penggunaan tapis digital adalah untuk menggantikan tapis analog yang terdiri dari resistor, kapasitor dan induktor. Penggantian tersebut biasanya dilakukan untuk mengatasi beberapa keterbatasan dari komponen-komponen analog yang meliputi ketidakmampuan (fluktuasi) nilai komponen terhadap umur dan temperatur. Kekurangan dari komponen analog adalah ukuran fisiknya yang besar, khususnya untuk nilai induktor dan kapasitor yang besar. Penelitian ini membahas tentang pengolahan sinyal electrocardiogram (ECG) yang diperoleh dari detak jantung, sinyal ECG ini amplitudonya sangat kecil sekitar 1mV sehingga ada kemungkinan terganggu oleh sinyal lain selain detak jantung misalnya aliran darah, detak jantung janin pada ibu hamil dan sebagainya, sehingga diperlukan penguatan menjadi sekitar 1Volt dan penapisan yang mempunyai attenuasi yang cukup besar pada frekuensi *cut-off* nya hingga diperoleh sinyal detak jantung yang sesungguhnya.

Penelitian ini akan merancang dan mengimplementasikan sebuah tapis digital pelewat frekuensi rendah *finite impulse response* (FIR) dengan metode penjadwalan Hamming untuk menggantikan tapis analog pasif yang digunakan untuk mengolah sinyal electrocardiogram (ECG) pada alat pemonitor detak jantung. Penelitian dilakukan dengan tahapan : perancangan tapis pelewat frekuensi rendah FIR analog pada frekuensi *cut-off* sebesar 100Hz, perancangan tapis pelewat frekuensi rendah FIR digital dengan metode penjadwalan Hamming, simulasi tapis digital hasil rancangan dan *download* dari rangkaian skematik ke dalam keping FPGA SPARTAN II.

Simulasi akan dilakukan dengan bantuan perangkat lunak ISim yang merupakan *hardware description language* (HDL) simulator yang terpadu dalam perangkat lunak Xilinx ISE 10.1. Hasil simulasi yang telah benar kemudian implementasikan ke SPARTAN II FPGA yang ada pada papan XSA-100 dari XESS Corp. Pengamatan dilakukan untuk berbagai sinyal masukan (variasi amplitude dan frekuensi) dan analisa dilakukan pada prosentase kesalahan akibat pembulatan yang dilakukan dalam implementasi koefisien tapis digital.

Kata Kunci : Tapis FIR digital, Jendela Hamming, Simulasi, FPGA

PRAKATA

Alhamdulillahirabbil'aalamiin. Berkat rahmat Allah yang maha Kuasa akhirnya penulis dapat menyelesaikan Laporan kemajuan 100 % Penelitian Dosen Pemula Tahun Anggaran 2016 dengan judul Perancangan Tapis Digital Sinyal Electrocardiogram (ECG) Pada Alat Monitor Detak Jantung. Penulis sangat menyadari bahwa hanya atas ijin Aloh-lah yang menjadikan penelitian ini dapat diselesaikan.

Semoga Allah SWT memberi Rahmat dan hidayah-Nya kepada semua pihak yang telah membantu penulis dalam proses penyelesaian laporan Penelitian Dosen Pemula 100% ini. Penulis menyadari, bahwa dalam penelitian ini masih jauh dari sempurna, akan tetapi Insya Allah penelitian ini dapat bermanfaat bagi yang memerlukannya.

Yogyakarta, 31 Oktober 2016

Tim Peneliti

DAFTAR ISI

Halaman Sampul	i
Halaman Pengesahan	ii
Halaman surat pernyataan laporan kemajuan	iii
Halaman berita acara laporan kemajuan	iv
Ringkasan	v
Prakata	vi
Daftar Isi	vii
BAB I. Pendahuluan	1
BAB II. Tinjauan Pustaka	3
BAB III. Metode Penelitian	8
BAB IV. Hasil Penelitian dan pembahasan	10
BAB V. Hasil Yang dicapai	13
BAB VI. Kesimpulan dan Saran	53
Daftar Pustaka	54
Lampiran	56
Format Jurnal	64

BAB I PENDAHULUAN

Penggunaan tapis digital adalah untuk menggantikan tapis analog yang terdiri dari resistor, kapasitor dan induktor. Penggantian tersebut biasanya dilakukan untuk mengatasi beberapa keterbatasan dari komponen-komponen analog yang meliputi ketidakmantapan (fluktuasi) nilai komponen terhadap umur dan temperatur. Kekurangan dari komponen analog adalah ukuran fisiknya yang besar, khususnya untuk nilai induktor dan kapasitor yang besar.

Tapis berdasarkan tanggapan impuls-nya dibedakan menjadi tapis IIR (*Infinite Impulse Response*), tanggapan impuls tak berhingga dan tapis FIR (*Finite Impulse Response*), tanggapan impuls berhingga. Tapis FIR memerlukan metode penjendelaan (*windowing*) dalam realisasinya.

Pengolahan sinyal digital (*digital signal processing*) tidak hanya dilakukan oleh komputer sebagai piranti simulasinya, tetapi juga dapat diimplementasikan ke dalam teknologi rangkaian terintegrasi (*integrated circuit - IC*) seperti mikrokontroller, IC kegunaan khusus dan *Field Programmable Gate Arrays* (FPGA).

Xilinx sebagai produsen terbesar FPGA telah mengeluarkan beberapa jenis FPGA yaitu Spartan dan Virtex. *Variant* dari Spartan yaitu : Spartan, Spartan XL, Spartan II, Spartan IIE dan Spartan 3. *Variant* dari Virtex adalah : Virtex, VirtexE, Virtex II dan Virtex II Pro. FPGA Spartan lebih mengutamakan pada *Low cost* sedangkan Virtex lebih fokus pada *rich high density*.

Saat ini implementasi tapis digital FIR menggunakan FPGA telah banyak dilakukan antara lain adalah implementasi tapis digital FIR dengan pendekatan bit serial dan tapis FIR dengan aritmatika terdistribusi.

Pada penelitian ini akan digunakan keping FPGA buatan Xilinx dengan seri SPARTAN II XC2S100 FPGA. Salah satu metode yang digunakan untuk implementasi rangkaian elektronika dengan menggunakan FPGA yaitu dengan merubah gambar untai elektronik digital dari perangkat lunak penggambar *Integrated Software Environment* versi 10.1 (ISE 10.1), keluaran Xilinx, menjadi *file bit stream* dan dikonfigurasi secara perangkat keras seperti yang dirancang dalam perangkat lunak perancang ISE 10.1.

Untai tapis digital dapat diimplementasikan dalam keping IC Xilinx FPGA akan mengurangi tingkat kerumitan perancangan dan memungkinkan dilakukannya dilakukan proses modifikasi untai yang sudah ada dengan cara melakukan *download* ulang pada IC Xilinx FPGA-nya.

BAB II

TINJAUAN PUSTAKA

Kamus Webster mendefinisikan bahwa suatu penapis adalah sebuah alat atau rangkaian atau substansi yang meneruskan atau meloloskan arus listrik pada frekuensi-frekuensi atau jangkauan frekuensi tertentu serta menahan atau menghalangi frekuensi-frekuensi lainnya.

Dermawan D., (2009), menyatakan bahwa tapis analog pada frekuensi rendah dapat digantikan dengan tapis digital yang diimplementasikan dalam keping *Field Programmable Gate Array* (FPGA). Koefisien tapis diimplementasi menggunakan algoritma Boot Pair Recoding.

Crook C.,(1974), menyatakan bahwa untuk memperoleh sinyal electrocardiogram (ECG) yang bersih, bebas dari denyut frekuensi tinggi, maka perlu diberikan penapis aktif analog yang menguatkan sinyal ECG dari kurang lebih 1 mV menjadi 1 V pada rentang frekuensi dari 0 hingga 100 Hz. Penapis yang digunakan adalah penapis aktif analog menggunakan OP-AMP tipe MC1776 dengan komponen penapisnya adalah resistor dan kapasitor.

Putra A.E., (2002) mengatakan bahwa secara khusus sebuah penapis aktif adalah suatu rangkaian penapis yang tersusun atas resistor-resistor dan kapasitor-kapasitor disertai dengan suatu rangkaian penguat, biasanya sebuah penguat operasional. Sedangkan penapis pasif hanya terdiri dari rangkaian inti penapis yang terdiri dari resistor, induktor dan kapasitor.

Kuc R., (1982) mendefinisikan bahwa penggunaan yang utama dari tapis digital adalah untuk menggantikan tapis analog yang terdiri dari resistor, kapasitor dan induktor. Penggantian ini dilakukan untuk mengatasi keterbatasan komponen analog yang berfluktuasi terhadap umur dan temperature. Kelemahan lain dari komponen analog adalah ukuran fisik yang terlalu besar untuk kapasitas yang besar pula, khususnya untuk kapasitor dan induktor.

Penggantian tapis analog menjadi tapis digital, sinyal masukan analog $x(t)$ dilewatkan pada ADC (*analog to digital converter*) untuk menghasilkan runtun masukan waktu diskrit $x(n)$, kemudian masukan diskrit $x(n)$ akan diproses oleh tapis digital yang diimplementasikan dengan perangkat keras kegunaan khusus (*special*

purpose hardware) untuk menghasilkan runtuk keluaran $y(n)$, yang akhirnya sebuah DAC (*digital to analog converter*) diperlukan untuk merekonstruksi sinyal keluaran diskrit $y(n)$ menjadi sinyal analog kembali $y(t)$.

Antoniou (1979) mengatakan bahwa implementasi *hardware* tapis digital dapat dibuat dalam berbagai bentuk, tergantung pada derajat keinginan dari dedikasi dan spesialisasi. Implementasi dapat diterapkan pada komputer yang dirancang dengan kegunaan khusus ataupun diterapkan pada *hardware* yang dirancang khusus untuk penapisan.

2.1. Tapis Analog

Pada pengolahan sinyal, fungsi dari sebuah tapis adalah menghilangkan bagian-bagian yang tidak diinginkan dari sebuah sinyal, seperti *random noise*, atau untuk mengambil (*to extract*) bagian-bagian penting dari sebuah sinyal, seperti komponen-komponen yang berada dalam jangkauan frekuensi tertentu. Tapis secara umum digambarkan pada gambar 2.1.



Gambar 2.1. Tapis secara umum

Contoh pemakaian tapis adalah dalam bidang medis (aplikasi yang berkembang untuk tapis digital) yaitu *electrocardiogram* (EKG). EKG digunakan untuk diagnosa detak jantung. EKG adalah potensial listrik yang dihasilkan oleh jantung, tetapi semua otot, tidak hanya jantung juga menghasilkan potensial listrik, sehingga diperlukan tapis untuk memisahkan detak jantung ini dari potensial listrik yang lain yang mengganggu. Contoh yang lain adalah dalam bidang meteorologi dan geofisika. Tapis digunakan untuk memprediksi cuaca, suhu, angin dan curah hujan esok hari, dari hasil pengukuran suhu, angin curah hujan hari sebelumnya. Masukan

untuk tapis adalah cuaca hari ini, cuaca hari kemarin , cuaca hari sebelumnya dan seterusnya, sedang keluarannya adalah cuaca esok hari.

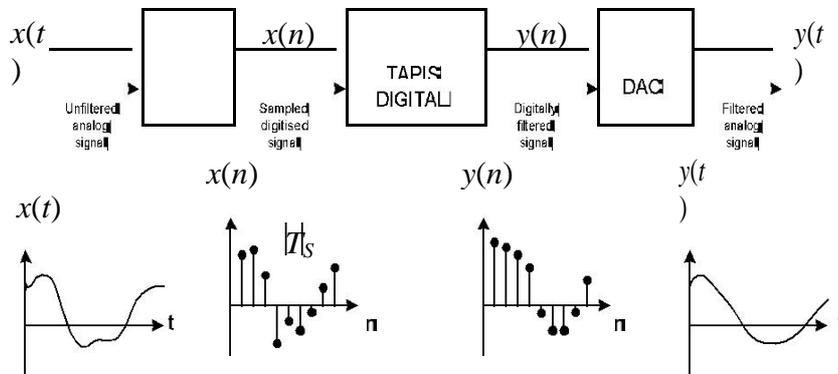
Tapis mempunyai dua jenis utama yaitu tapis analog dan tapis digital, perbedaannya terletak pada bentuk fisik dan cara kerjanya. Tapis analog menggunakan rangkaian elektronik analog (*analog electronic circuits*) yang tersusun atas komponen-komponen seperti resistor, kapasitor, transistor dan Op- Amp untuk menghasilkan efek /hasil penapisan yang dibutuhkan. Tapis analog banyak digunakan dalam aplikasi seperti *noise reduction*, perbaikan sinyal video, *graphic equalisers* pada *hi-fi systems* dan banyak lagi bidang yang lain. Penapisan dilakukan dengan teknik standart untuk mendesain rangkaian tapis analog untuk menghasilkan keluaran yang diinginkan. Pada setiap tingkatan penapisan, sinyal yang ditapis adalah tegangan atau arus listrik yang secara langsung adalah merupakan besaran fisik misalnya *sound* atau *video signal*.

2.2. Tapis Digital

Tapis digital menggunakan *digital processor* untuk mewujudkan perhitungan numerik pada nilai-nilai sinyal yang dicuplik. *Processor* yang digunakan adalah *general purpose computer* seperti PC, atau *processor* yang dirancang khusus untuk kegunaan ini, *specialized DSP (Digital Signal Processor) chip*. Sinyal masukan analog pertama kali harus dicuplik dan didigitalkan (*digitalized*) menggunakan ADC (*Analog to Digital Converter*) untuk menghasilkan runtun biner. Runtun biner tersebut yang merepresentasikan runtun biner dari masukan analog diteruskan ke *processor* yang akan melakukan perhitungan-perhitungan numeric. Perhitungan yang biasa dilakukan adalah perkalian *input* dengan konstanta dan operasi penjumlahan. Keluaran dari *processor* yang merepresentasi sinyal cuplik yang telah tertapis, diumpankan ke DAC (*Digital to Analog Converter*) untuk mengubah sinyal digital ini menjadi sinyal analog kembali. Pada tapis digital, sinyal direpresentasikan dalam runtun angka-angka dibandingkan dengan tegangan atau arus pada tapis analog.

Penggantian tapis analog menjadi tapis digital ini melewati beberapa tahap antara lain proses pencuplikan *sample*, pendigitalan data dengan menggunakan ADC,

pengolahan data, pengolahan data digital menjadi data analog serta proses penghalusan sinyal keluaran dengan ditapis oleh tapis analog aktif. Penggantian tapis analog dengan tapis digital dapat diilustrasikan pada gambar 2.2



Gambar 2.2 Penggantian tapis analog dengan tapis digital memerlukan komponen tambahan berupa ADC dan DAC

Tapis digital berdasar konsep anatominya terdiri atas interkoneksi 3 elemen penting yaitu penjumlah (*adders*), pengali (*multipliers*) dan tundaan (*delays*). Penjumlah dan pengali merupakan komponen sederhana yang dapat diimplementasikan terutama di dalam unit aritmatik dan logika suatu alat penghitung (*computer*). Sedangkan tundaan atau penunda adalah bagian yang memberikan akses ke nilai yang akan datang atau nilai yang telah lewat atas suatu runtun sinyal. Ketiga komponen inilah yang digunakan untuk menggambarkan suatu diagram tapis digital secara utuh dan dalam pemodelan apapun.

Tapis digital memiliki beberapa keunggulan dibandingkan dengan tapis analog. Berikut adalah keuntungan – keuntungan yang dapat diperoleh dari penggunaan tapis digital dibanding tapis analog :

1. Tapis digital adalah *programmable*, yaitu operasinya ditentukan oleh program yang disimpan dalam *memory processor*. Hal ini berarti tapis digital dapat diubah dengan mudah tanpa mengubah *hardware*. Tapis analog hanya dapat diubah dengan mendesain ulang rangkaian tapisnya.
2. Tapis digital mudah untuk didesain, diuji dan diimplementasikan pada *general purpose computer* atau *DSP Chips*.

3. Karakteristik rangkaian tapis analog berubah terhadap temperatur. Tapis digital terhindar dari masalah tersebut, sehingga dapat dikatakan stabil terhadap temperatur.
4. Tapis digital dapat beradaptasi terhadap perubahan karakteristik dari sebuah sinyal.

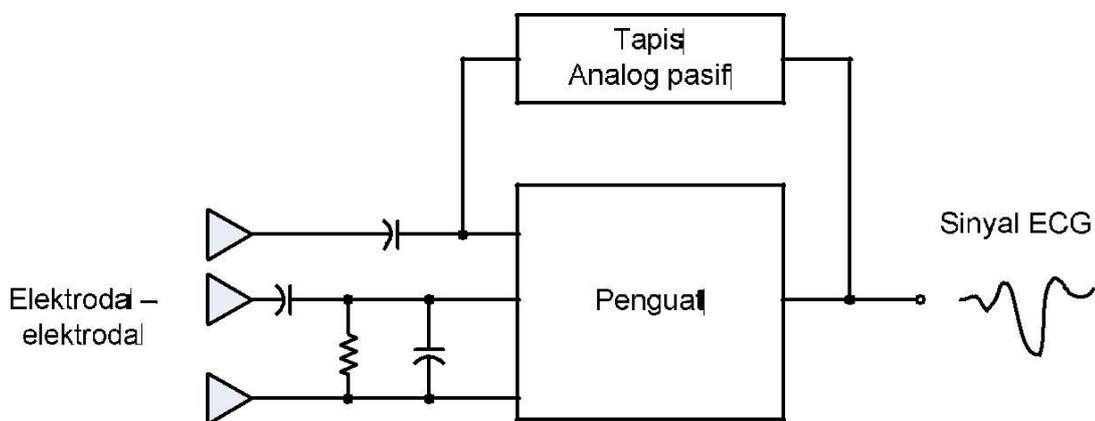
Tapis berdasarkan tanggapan impuls-nya dibedakan menjadi tapis IIR (*Infinite Impulse Response*), tanggapan impuls tak berhingga dan tapis FIR (*Finite Impulse Response*), tanggapan impuls berhingga. Tapis FIR memerlukan metode penjendelaan (*windowing*) dalam realisasinya.

BAB III

METODE PENELITIAN

3.1. Rancangan Penelitian

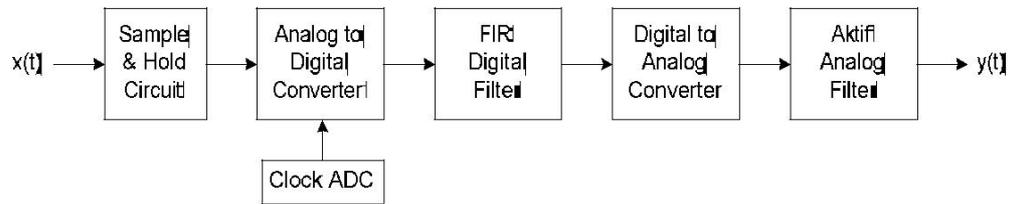
Rangkaian penguat untuk elektroda-elektroda beserta tapis analog pasif diperlihatkan pada gambar 3.1.



Gambar 3. 1. Rangkaian penguat elektroda dan tapis analog pasif

Keluaran sinyal ECG ini diberikan ke tingkatan selanjutnya untuk diproses, baik ditampilkan dengan LCD, monitor maupun dilihat bentuk gelombangnya secara langsung pada layar monitor. Sinyal ECG ini amplitudonya sangat kecil sehingga ada kemungkinan terganggu oleh sinyal lain selain detak jantung misalnya aliran darah, detak jantung janin pada ibu hamil dan sebagainya, sehingga diperlukan tapis yang mempunyai attenuasi yang cukup besar pada cut-off frekuensinya hingga diperoleh sinyal detak jantung yang sesungguhnya.

Rancangan penelitian adalah membangun tapis digital yang digunakan untuk menapis gelombang yang tidak diinginkan pada electrocardiogram (ECG) diilustrasikan pada gambar 3.2.



Gambar 3.2 Blok digram rancangan penelitian

3.2. Alat Penelitian

Alat yang digunakan pada penelitian ini adalah :

1. Komputer dengan spesifikasi P III 800 MHz RAM 128 MB, sebagai alat untuk menggambar untai logika menggunakan ISE 6.3i dan simulasi dengan ModelSim Xilinx Edition II.
2. Rangkaian *Sample & Hold*
3. Rangkaian ADC
4. Papan pengembangan Spartan II FPGA
5. Rangkaian DAC
6. Rangkaian tapis analog aktif
7. Rangkaian pembangkit *clock*
8. Rangkaian catu daya +5Volt dan -5 Volt
9. Osiloskop *dual trace* 20 MHz Hung Chang 6502
10. *Sweep function generator* merek Aron 8205A
11. Pencacah frekuensi 30 MHz

3.3. Bahan Penelitian

Bahan penelitian yang digunakan dalam penelitian ini berupa perangkat keras dan perangkat lunak yang meliputi :

1. Sebuah papan XSA-100 buatan XESS Corp., yang terdiri dari komponen utama adalah keping FPGA tipe Spartan II XC2S100-TQFP144 buatan Xilinx Inc, yang digunakan untuk media implementasi tapis digital.
2. *Analog to Digital Converter* seri ADC 0809 buatan National Semiconductor.
3. *Digital to Analog Converter* seri DAC 0808 buatan National Semiconductor.

4. *Monolithic sample and hold circuit* seri LF 398N buatan National Semiconductor.
5. *Wide bandwidth dual JFET input operational amplifier* seri LF 353 buatan National Semiconductor.
6. *Operational amplifier* seri LM 741 buatan National Semiconductor.
7. *Xilinx Integrated Service Environment WebPACK* versi 6.3i (Xilinx ISE WebPACK v6.3i) dari Xilinx Inc, yang digunakan sebagai perangkat lunak bantu pada proses penggambaran untai tapis digital.
8. XSTOOLS dari XESS Corp., digunakan sebagai alat bantu untuk *downloading bitstream* ke papan XSA-100.
9. ModelSim Xilinx Edition II versi 5.7c *starter edition* (MXE II v5.7c) yang digunakan sebagai alat bantu untuk melakukan simulasi pada Xilinx ISE 6.3i.

3.4. Jalan Penelitian

Kegiatan penelitian ini meliputi pembuatan rangkaian perangkat keras, perancangan tapis digital, simulasi tapis digital, analisa dan pengumpulan data dari sistem perancangan tapis digital FIR secara keseluruhan.

Rangkaian perangkat keras yang dibuat pada penelitian ini terdiri dari rangkaian rangkaian digital yang akan diimplementasikan ke dalam keping Spartan II FPGA dan rangkaian-rangkain analog yang tidak diimplementasikan ke dalam keping FPGA

Penelitian dilakukan dengan beberapa tahap meliputi :

1. Perancangan tapis pelewat rendah digital FIR dengan penjedelaan Hamming.
2. Pembuatan rancangan tapis pelewat rendah digital FIR dengan penjedelaan Hamming dengan bantuan perangkat lunak Xilinx ISE 6.3i.
3. Pembuatan rangkaian-rangkaian penunjang analog.
4. Simulasi tapis digital dengan perangkat lunak MXE II.
5. *Bitstream generation* dengan Xilinx ISE 6.3i.
6. Uji coba pada modul perangkat keras pada papan XSA-100.
7. Tahap pengumpulan data.

3.4.1. Perancangan tapis LPF digital FIR dengan penjedelaan Hamming

Pada penelitian ini, akan dirancang sebuah tapis digital pelewat rendah (LPF), FIR (*Finite Impuls response*) dengan metoda penjedelaan Hamming yang mempunyai spesifikasi sebagai berikut :

- a. Batas tepi frekuensi *passband* (f_p) 50 Hz
- b. Batas tepi frekuensi *stopband* (f_s) 75 Hz
- c. *Stopband attenuation* > 50 dB
- d. Frekuensi cuplik 1,5 KHz
- e. *Pass Band ripple*, δ_1 0,06
- f. *Stop Band ripple*, δ_2 0,3

Frekuensi cuplik yang digunakan adalah 15 KHz. Menurut kriteria Nyquist, masukan ADC yang diperbolehkan harus lebih kecil dari 7,5 KHz agar tidak timbul cacat, sehingga diambil frekuensi *cut-off* lebih kecil dari 7,5 KHz.

Dari spesifikasi tersebut diatas maka dapat ditentukan besarnya lebar dari *transition band* , Δf adalah sebagai berikut

$$\begin{aligned}\Delta f &= f_s - f_p && (1) \\ &= 75 - 50 \text{ Hz} \\ &= 25 \text{ Hz}\end{aligned}$$

Cut-off frequency ditentukan dengan persamaan

$$f_c = f_s + \Delta f / 2 \tag{2}$$

$$f_c = f_s + \Delta f / 2 = (50 + 25 / 2) = 62,5 \text{ Hz}$$

Nilai Δf , f_s , f_p dan f_c adalah dalam kawasan frekuensi analog, sehingga perlu diubah dalam kawasan frekuensi digital terlebih dahulu [Ludeman, 1986].

$$\Omega_i = 2 \pi f_i$$

$$\omega_i = \Omega_i T_{samp} = \frac{2 \pi f_i}{f_{samp}} \quad (3)$$

dengan frekuensi cuplik, f_{samp} sebesar 15 KHz, maka

$$\omega_p = \frac{2 \pi 50}{1500} = \frac{1}{15} \pi \text{ rad}$$

$$\omega_s = \frac{2 \pi 75}{1500} = \frac{1}{10} \pi \text{ rad}$$

$$\omega_c = \frac{2 \pi 62,5}{1500} = \frac{1}{12} \pi \text{ rad}$$

$$\Delta f = \omega_s - \omega_p = \frac{1}{10} \pi \text{ rad} - \frac{1}{15} \pi \text{ rad} = \frac{1}{30} \pi \text{ rad}$$

Jumlah koefisien tapis FIR dapat diperoleh dengan pendekatan rumus empiris sebagai berikut [Champagne B., Labeau F., hal 197]:

$$N = \frac{-10 \log_{10}(\delta_1 \delta_2) - 13}{2,324(\omega_s - \omega_p)} \quad (4)$$

sehingga

$$N = \frac{-10 \log_{10}(0,06 \cdot 0,3) - 13}{2,324 \left(\frac{1}{30} \pi \text{ rad} \right)}$$

$$= \frac{4,44727}{0,24337}$$

$$= 18,27369$$

N adalah ganjil sehingga dipilih N = 19.

Tanggapan impulse (*impulse response*) dari sebuah tapis pelewat rendah ideal diberikan dalam persamaan (5).

$$h_D(n) = \frac{\sin(n \omega_c)}{\pi n} \quad \text{untuk semua } n \quad (5)$$

Nilai ω_c adalah $(1/12) \pi$ rad sehingga

$$h_D(n) = \frac{\sin(\pi n/12)}{\pi n} \quad \text{untuk semua } n \quad (6)$$

Persamaan (6) merupakan impuls tanggapan tapis FIR digital LPF (*Low Pass Filter*) untuk koefisien tapis n , sedang untuk $n = 0$ maka digunakan pendekatan rumus L'hospital sebagai berikut :

$$\begin{aligned} h_D(0) &= \frac{1}{\pi} \frac{\pi}{12} \cos(\pi n/12) \\ &= \frac{1}{12} \\ &= 0,08333 \end{aligned}$$

Sedangkan untuk $n = 1$ sampai dengan $n = 8$ digunakan persamaan (6) sehingga diperoleh koefisien tapis LPF ideal seperti pada tabel 3.1.

Runtun Jendela Hamming $w_{Ham}(n)$, untuk $n = 0$ sampai dengan $n = 8$ koefisien Jendela Hamming diberikan dalam tabel 3.2.

Tabel 3.1

Koefisien runtun tanggapan cuplik satuan $h_D(n)$ tapis ideal untuk $\omega_c = 1/12 \pi \text{ rad}$

Nilai koefisien tapis ideal $h_D(n)$ untuk $\omega_c = 1/12 \pi \text{ rad}$		
h(0)	0,08333	h(0)
h(-1)	0,08238	h(1)
h(-2)	0,07958	h(2)
h(-3)	0,07503	h(3)
h(-4)	0,06892	h(4)
h(-5)	0,06149	h(5)
h(-6)	0,05305	h(6)
h(-7)	0,04392	h(7)
h(-8)	0,03446	h(8)

Tabel 3.2 Koefisien Jendela Hamming dengan N=19 untuk n=0 sampai n=8

n	$w_{Ham}(n)$	n
0	1	0
-1	0,99116	1
-2	0,96498	2
-3	0,92248	3
-4	0,86527	4
-5	0,79556	5
-6	0,71603	6
-7	0,62974	7
-8	0,54000	8

Tanggapan denyut tapis $h_n(n)$ digital dengan jendela Hamming diperoleh dari persamaan (7)

$$h_n(n) = h_D(n) w_{Ham}(n) \quad (7)$$

Tanggapan denyut tapis $h_n(n)$ akibat prosedur penjendelaan ini diperlihatkan pada tabel 3.3 dan untuk selanjutnya koefisien yang terdapat pada tabel 3.3 inilah yang akan digunakan sebagai nilai implementasi koefisien tapis digital FIR. Bagian yang diarsir merupakan koefisien tapis yang akan diimplementasikan.

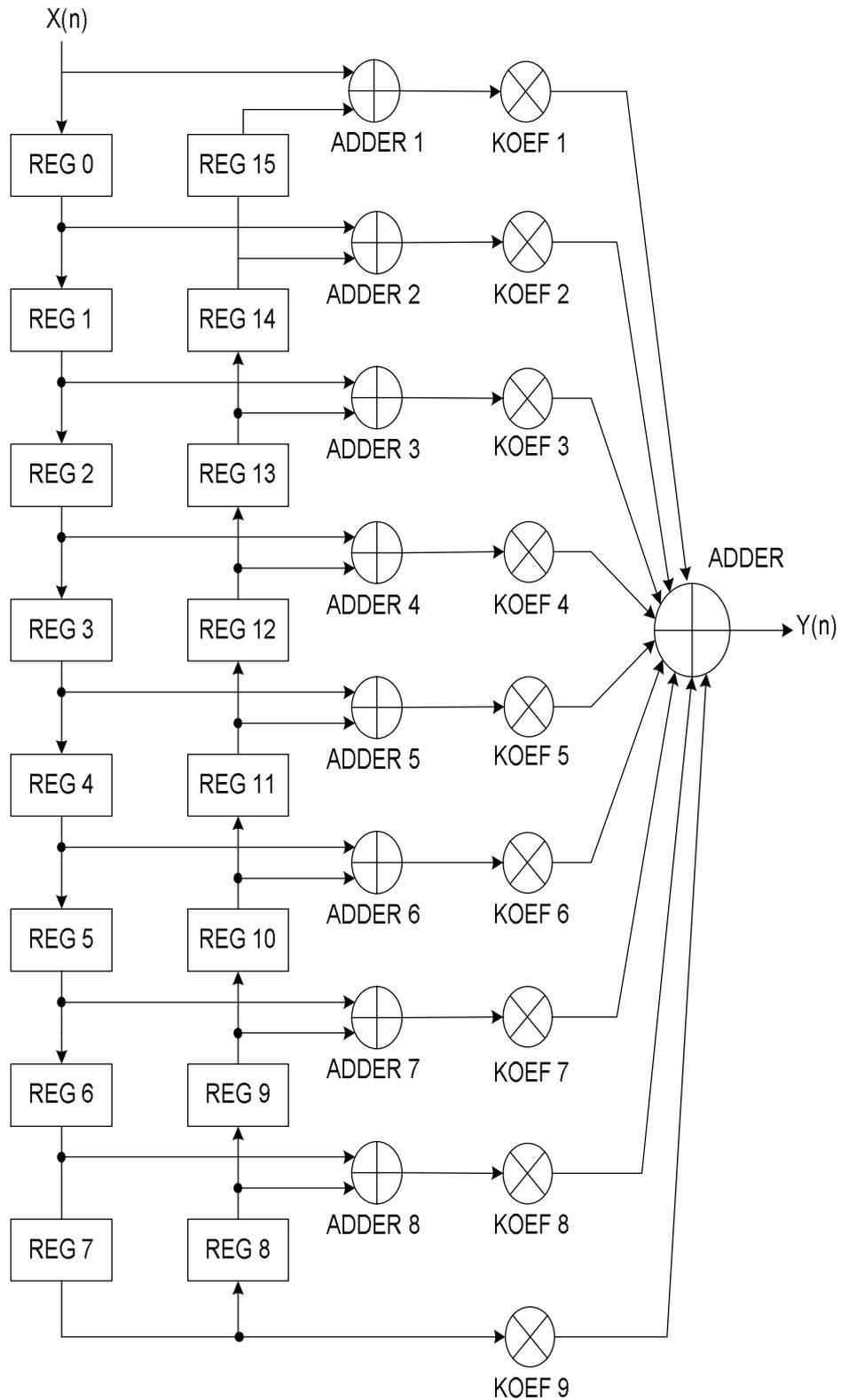
Tabel 3.3 Koefisien tapis digital implementasi

n	$h_D(n)$	$w_{Ham}(n)$	$h_n(n) = h_D(n) \cdot w_{Ham}(n)$	n
0	0,08333	1	0,08333	0
-1	0,08238	0,99116	0,08165	1
-2	0,07958	0,96498	0,07679	2

-3	0,07503	0,92248	0,06921	3
-4	0,06892	0,86527	0,05963	4
-5	0,06149	0,79556	0,04892	5
-6	0,05305	0,71603	0,03798	6
-7	0,04392	0,62974	0,02764	7
-8	0,03446	0,54000	0,01861	8

Realisasi tapis digital dengan menggunakan tapis digital FIR 8-tap memiliki diagram aliran data seperti pada gambar 3.3. Diagram aliran data tersebut memiliki 16 buah register geser, 8 buah penjumlah, 9 buah koefisien dan penjumlah akhir.

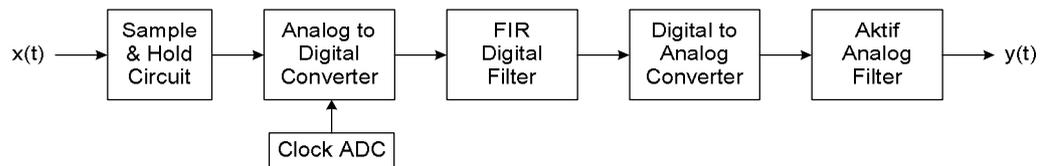
Diagram alir inilah yang akan dirancang dalam penelitian ini. Lebar data adalah 8 bit sehingga sinyal masukan $x(n)$ adalah 8 bit, penjumlah awal adalah penjumlah 8 bit, penjumlah awal ini menghasilkan *carry* sehingga masukan dan keluaran pada koefisien adalah 9 bit. Penjumlah akhir adalah penjumlah bertingkat yang terdiri dari penjumlah 9 bit, penjumlah 10 bit, penjumlah 11 bit dan terakhir adalah penjumlah 12 bit. Keluaran 12 bit akan langsung dipotong menjadi 8 bit dimulai dari MSB



Gambar 3.3. Diagram aliran data untuk tapis digital FIR 16 tap hasil perancangan

3.4.2. Blok diagram perancangan sistem

Blok diagram realisasi tapis digital FIR yang akan diimplementasikan dalam keping FPGA Spartan II diperlihatkan pada gambar 3.4.



Gambar 3.4. Blok diagram tapis digital FIR

Sinyal masukan analog $x(t)$ berasal *sweep frequency generator* yang berupa sumber sinyal analog yang mampu menyediakan frekuensi dari 1 Hz sampai dengan 2 MHz, dalam penelitian ini akan dipakai sumber dengan frekuensi sampai dengan 5 KHz.

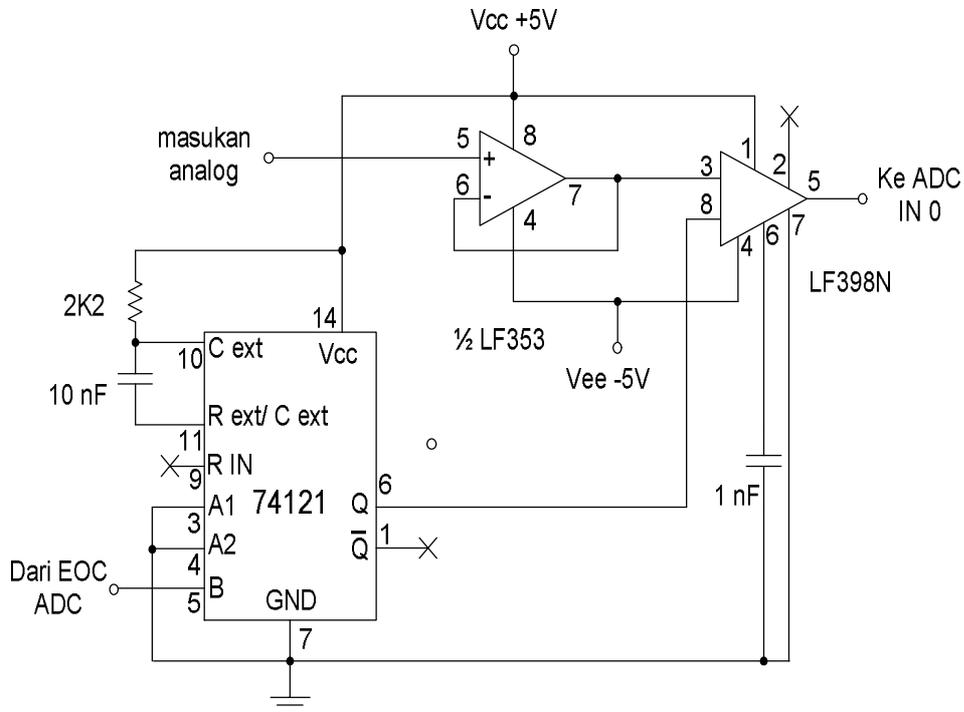
Kemudian sinyal analog ini diumpankan ke rangkaian *sample & hold* untuk dicuplik dan ditahan, sampai disini sinyal masih berbentuk sinyal analog, kemudian sinyal ini diteruskan ke pengubah analog ke digital agar diperoleh data digital dengan lebar jalur 8 bit untuk dapat diproses oleh pemroses digital (FPGA).

Sinyal digital ini kemudian diproses, dalam hal ini ditapis sesuai dengan rancangan yang terdapat pada gambar 3.2. Selanjutnya keluaran dari FPGA adalah sinyal digital yang telah diolah dengan lebar data 8 bit. Sinyal digital ini diumpankan ke pengubah digital ke analog agar diperoleh sinyal analog kembali, tetapi keluaran pengubah digital ke analog ini masih kasar sehingga perlu diperhalus dengan menambahkan tapis analog aktif setelah DAC, sehingga diharapkan keluaran tapis akan menjadi sinyal analog.

Blok diagram pada gambar 3.4. terdiri dari rangkaian-rangkaian analog dan rangkaian digital. Rangkaian digital dalam hal ini adalah rangkaian rancangan yang dibuat pada FPGA. Berikut dijelaskan masing-masing komponen penyusun tapis digital rancangan .

3.4.2.1. Sample & hold Circuit

Rangkaian *sample & hold* diperlihatkan pada gambar 3.5.



Gambar 3.5. Rangkaian *sample & hold*

[Sumber: Data sheet 74121, LF353 dan LF398, modifikasi]

Komponen utama rangkaian ini adalah LF 398N buatan national semiconductor yaitu berupa penguat mencuplik dan menahan yang tersedia dalam kemasan PDIP (*plastic dual in line package*), kemasan yang terdapat dipasaran secara umum.

Kapasitor yang terhubung dengan pena 6 adalah kapasitor penahan yang mempunyai nilai antara 10 pF sampai dengan 1uF. Nilai kapasitor penahan yang lebih kecil akan menghasilkan waktu akuisisi data yang lebih singkat. Pada penelitian ini digunakan nilai kapasitor penahan sebesar 1nF dan berdasarkan data sheet LF398N maka nilai kapasitor tersebut akan menghasilkan waktu akuisisi data sebesar 4 mikrodetik. Logika pengendalian diambil dari keluaran Q monostabil 74121 yang digunakan untuk mengendalikan keadaan mencuplik dan menahan, logika tinggi untuk mencuplik dan logika rendah untuk menahan. Pulsa pengendalian diambil dari pulsa *End Of Converter* (EOC) yang bersal dari ADC 0809 melalui

monostabil 74121, oleh karena itu keluaran monostabil 74121 tidak boleh kurang dari waktu akuisisi data LF398N yaitu harus lebih besar dari 4 mikrodetik.

Berdasarkan dari data sheet 74121 maka rumusan keluaran monostabil 74121 adalah :

$$T_p = 0,7RC \quad (8)$$

dengan nilai $R = 2K\Omega$ dan $C = 10nF$ maka

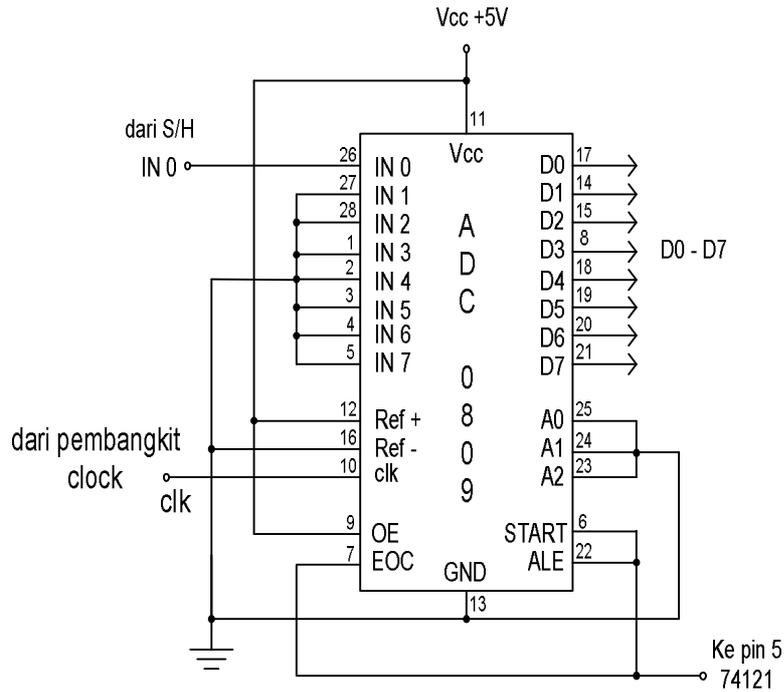
$$\begin{aligned} T_p &= 0,7 \times 2200 \times 10 \times 10^{-9} \\ &= 15,4 \times 10^{-6} \\ &= 15,4 \mu s \end{aligned}$$

Nilai T_p telah memenuhi syarat yaitu harus lebih besar dari $4 \mu s$.

3.4.2.2. Analog to digital converter (ADC) dan clock ADC

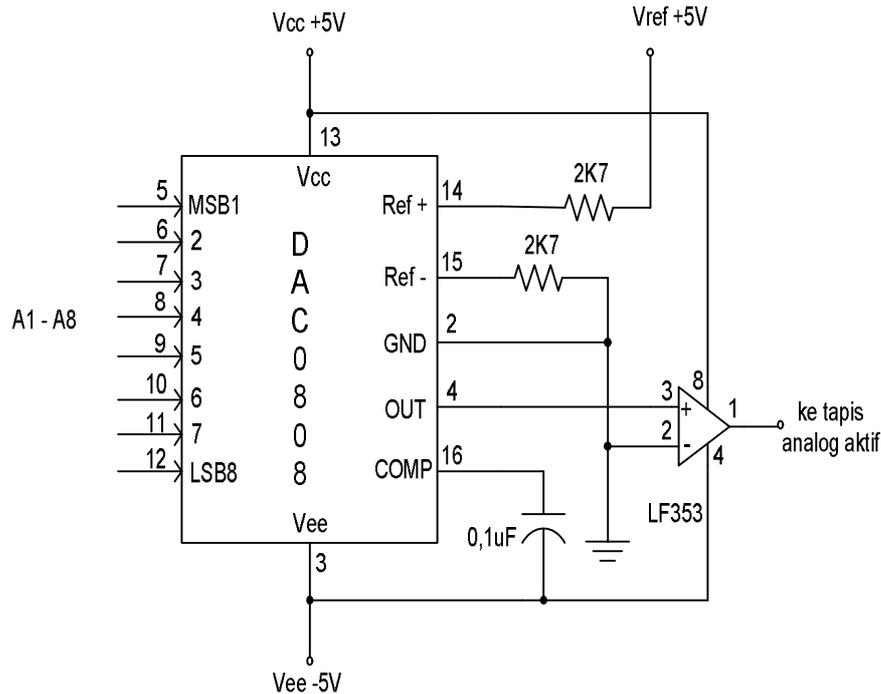
Rangkaian pengubah analog ke digital pada penelitian ini menggunakan ADC0809 buatan National Semiconductor. ADC0809 ini mempunyai lebar data 8 bit. Masukannya diperoleh dari keluaran rangkaian pencuplik dan penahan LF398 pena 5 yang diberikan ke ADC pena 26 (IN0). Pemilihan IN0 dilakukan dengan memberikan logika 0 pada masukan pemilih alamat A0, A1 dan A2.

Pengubahan analog ke digital dilakukan dengan memberikan logika 1 pada START, dan apabila START ini digabung dengan *End Of Conversion* (EOC) maka pengubahan akan dilakukan secara terus menerus. Pulsa *clock* diperoleh dari rangkaian pembangkit *clock*. Pulsa *clock* yang digunakan disini adalah sebesar 1067 KHz. Keluaran ADC0809 diberikan sebagai masukan FPGA. Rangkaian pengubah analog ke digital ditunjukkan pada gambar 3.6.



Gambar 3.6. Rangkaian pengubah analog ke digital
 [Sumber: Data sheet ADC 0808/0809, modifikasi]

Pembangkit *clock* yang digunakan pada penelitian ini menggunakan komponen utama sebuah kristal dengan basis frekuensi 9,6 MHz. Rangkaian utamanya terdiri dari sebuah kristal dan dua buah gerbang *not*. Keluaran pembangkit ini di-*buffer* dengan sebuah gerbang *not* sebelum diumpankan ke rangkaian pembagi 9. Rangkaian pembagi 9 dibangun dengan menggunakan IC TTL seri 74LS92 yang merupakan pencacah pembagi 12 yang digunakan sebagai pembagi 9, sehingga keluaran pembangkit *clock* ini adalah sebesar $9,6 \text{ MHz} / 9$ yaitu 1067 KHz. Rangkain pembangkit *clock* untuk ADC diperlihatkan pada gambar 3.7.



Gambar 3.8. Rangkaian DAC0808

[Sumber: Data sheet DAC0808 & LF 353, modifikasi]

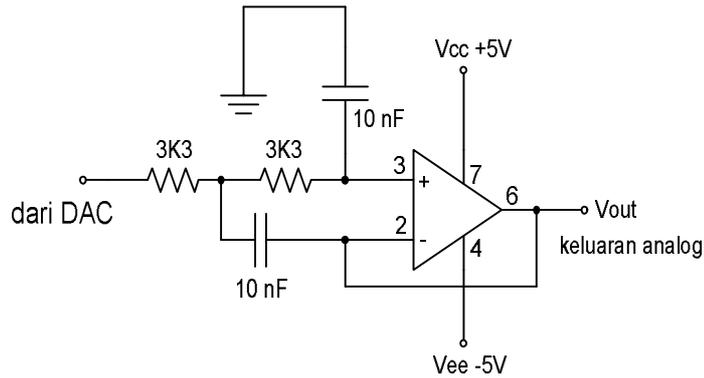
Tegangan keluaran diperoleh dengan mengubah arus keluaran menjadi tegangan melalui sebuah penguat operasional LF353. Keluaran LF353 (pena 1) adalah tegangan yang besarnya mengikuti persamaan (10).

$$V_o = I_o \cdot R_f \quad (10)$$

Keluaran pengubah digital ke analog ini diberikan ke tapis analog aktif untuk lebih memperhalus sinyal analog keluaran DAC.

3.4.2.4. Tapis analog aktif

Tapis analog aktif ini tersusun dari sebuah penguat operasional LM741 buatan National Semiconductor, yang menerima masukan dari pengubah digital ke analog untuk lebih memperhalus sinyal keluaran DAC yang masih berupa anak tangga. Rangkaian tapis analog ini diperlihatkan pada gambar 3.9.



Gambar 3.9. Rangkaian tapis analog aktif

[Sumber: Putra A.E., Penapis aktif Elektronika, hal 66]

Tapis analog aktif ini harus mempunyai frekuensi *cut-off* yang melebihi tapis digital pelewat rendah yang dibuat yaitu sebesar 625 Hz. Frekuensi *cut-off* diperoleh dari persamaan (11) sebagai berikut :

$$f_c = \frac{1}{2\pi RC} \quad (11)$$

dengan nilai $R = 3K3$ dan $C = 6,8nF$ maka frekuensi *cut-off* nya adalah :

$$f_c = 7092,47 \text{ Hz}$$

Besarnya penguatan (dB) diperoleh dengan persamaan (12)

$$dB = 20 \log \frac{V_{out}}{V_{in}} \quad (12)$$

3.4.3. Rangkaian koefisien pengali.

Koefisien rangkaian pengali yang akan diimplementasikan pada perancangan tapis digital ini ada 9 buah koefisien dan nilainya dapat dilihat pada tabel 3.3. kolom yang ke empat dan untuk jelasnya akan dituliskan kembali sebagai tabel 3.6.

Tabel 3.6. Koefisien tapis digital implementasi

n	$h_n(n) = h_D(n) \cdot w_{Ham}(n)$	n
0	0,08333	0
-1	0,08165	1
-2	0,07679	2
-3	0,06921	3
-4	0,05963	4

-5	0,04892	5
-6	0,03798	6
-7	0,02764	7
-8	0,01861	8

Implementasi rangkaian pengali ini menggunakan algoritma *booth bit pair recoding* (Cavanagh, 1985). Nilai – nilai koefisien implementasi adalah 0,08333, 0,08165, 0,07679, 0,06921, 0,05963, 0,04892, 0,03798, 0,02764, 0,01861.

Koefisien pengali menerima masukan dari keluaran penjumlah 8 bit. Keluaran penjumlah 8 bit ini mempunyai lebar data 9 bit (karena adanya tambahan *carry*), sehingga lebar data koefisien pengali adalah 9 bit. Koefisien pengali mempunyai nilai pecahan, untuk mengimplementasikannya dalam perkalian (biner) maka nilai pecahan ini harus diubah terlebih dahulu menjadi nilai integer yaitu dengan metode mengalikannya nilai pecahan tersebut dengan sebuah bilangan 2^9 (512_{10}). Nilai 2^9 ini dipilih karena nantinya hasil perkalian integer ini dilakukan pembulatan dengan cara pemotongan langsung 9 buah bit mulai dari LSB, tentu saja hasil perkalian pecahan ini menjadi tidak akurat, tetapi inilah metode pendekatan yang dipilih.

Nilai 2^9 dipilih karena setelah perkalian koefisien tapis dengan 2^9 (512) ini diharapkan hasil kali semua koefisien tapis menjadi tidak menjadi pecahan lagi. Pada tabel 3.6 tampak bahwa koefisien ke 9 yang dikalikan dengan 2^9 memberikan hasil 10, dan hasil ini sudah cukup karena bukan pecahan lagi, apabila perkalian ini masih memberikan hasil pecahan maka nilai pengali 2^9 perlu dinaikkan menjadi 2^{10} atau 2^{11} dan seterusnya.

Nilai koefisien yang telah dikalikan dengan 2^9 dalam bentuk integer dan biner diperlihatkan pada tabel 3.7.

Nilai koefisien perancangan dikalikan dengan bilangan 2^9 (512_{10}) hasilnya dibulatkan dengan cara apabila $> 0,5$ akan dibulatkan ke 1 dan apabila $< 0,5$ akan dibulatkan ke 0. Bilangan integer ini kemudian dibuat kombinasi binernya untuk selanjutnya digunakan sebagai bilangan pengali. Keluaran dari pengali ini akan langsung dipotong sebanyak 9 bit dimulai dari LSBnya.

Tabel 3.7. Koefisien pengali dalam bilangan integer dan biner

N	Koefisien (pecahan)	Koef. x 2 ⁹ (512 ₁₀)	Pembulatan	Kode biner hasil pembulatan (9 bit)
1	0,08333	42,66496	43	000101011
2	0,08165	41,8048	42	000101010
3	0,07679	39,31648	39	000100111
4	0,06921	35,43552	35	000100011
5	0,05963	30,53056	31	000011111
6	0,04892	25,04704	25	000011001
7	0,03798	19,44576	19	000010011
8	0,02764	14,15168	14	000001110
9	0,01861	9,52832	10	000001010

Multiplicand adalah data tapis digital yang diperoleh dari rangkaian *sample and hold*, data ini berubah-ubah setiap saat, untuk memudahkan analisis maka diambil satu contoh data yaitu 100₁₀ (decimal) untuk analisa seluruh nilai koefisien tapis.

3.4.3.1 Koefisien 1 (0,08333)

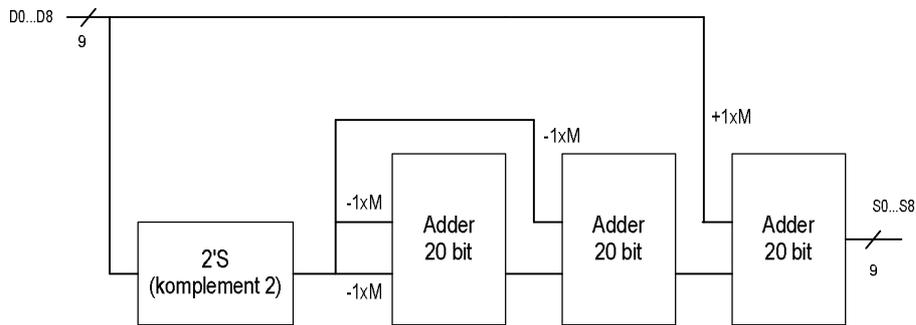
Koefisien pertama yang diimplementasikan adalah 0,08333. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2⁹ adalah 43 (000101011).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.10.

$$\begin{array}{r}
 001100100 \quad (+100) \quad \text{Multiplicand (M)} \\
 x) 00001010110 \quad (+43 / 0,08333) \quad \text{multiplier} \\
 \hline
 \underbrace{}_{0 \quad +1xM \quad -1xM \quad -1xM \quad -1xM} \\
 00000000000001100100 \\
 11111111100011100 \\
 111111100011100 \\
 000001100100 \\
 \hline
 000001000011001100 \quad + \quad (8) \\
 \underbrace{}_{\text{Hasil}} \quad \underbrace{}_{\text{dipotong}}
 \end{array}$$

Gambar 3.10. Perkalian parsial koefisien 1 (0,08333)

Perkalian parsial koefisien 1 (0,08333) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.11.



Gambar 3.11. Blok diagram koefisien 1 (0,08333)

Gambar skematik untuk komplement 2, *adder* 20 bit dan hasil implementasi perkalian untuk koefisien pertama (0,08333) diperlihatkan pada lampiran.

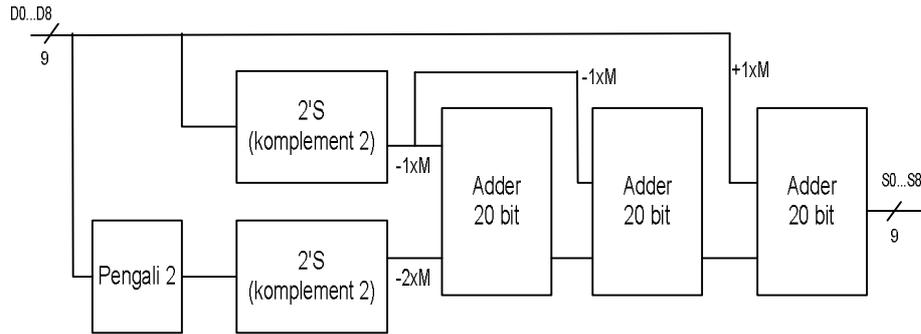
3.4.3.2. Koefisien 2 (0,08165)

Koefisien kedua yang diimplementasikan adalah 0,08165. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 42 (000101010). Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.18.

	0 0 1 1 0 0 1 0 0	(+100)	Multiplicand (M)
x)	0 0 0 0 1 0 1 0 1 0 0	(+42 / 0,08165)	multiplier
	$\underbrace{\hspace{10em}}_{0 \quad +1xM \quad -1xM \quad -1xM \quad -2xM}$		
	1 1 1 1 1 1 1 1 1 1 0 0 1 1 1 0 0 0		
	1 1 1 1 1 1 1 1 1 0 0 1 1 1 0 0		
	1 1 1 1 1 1 1 0 0 1 1 1 0 0		
	0 0 0 0 0 1 1 0 0 1 0 0		
	----- +		
	0 0 0 0 0 1 0 0 0 0 0 1 1 0 1 0 0 0	(8)	
	$\underbrace{\hspace{10em}}_{\text{Hasil}} \quad \underbrace{\hspace{10em}}_{\text{dipotong}}$		

Gambar 3.18. Perkalian parsial koefisien 2 (0,08165)

Perkalian parsial koefisien 2 (0,08165) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.12.



Gambar 3.12. Blok diagram koefisien 2 (0,08165)

Gambar skematik untuk pengali 2 dan hasil implementasi perkalian untuk koefisien kedua (0,08165) diperlihatkan pada lampiran.

3.4.3.3. Koefisien 3 (0,07679)

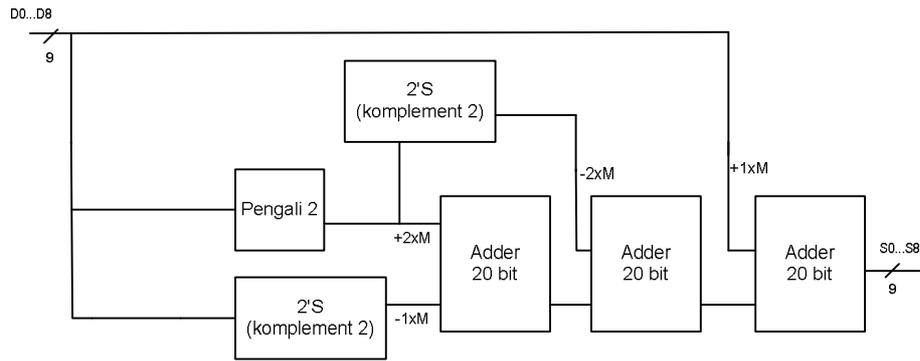
Koefisien ketiga yang diimplementasikan adalah 0,07679. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 39 (000100111). Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.13.

$$\begin{array}{r}
 001100100 \quad (+100) \quad \text{Multiplicand (M)} \\
 x) 00001001110 \quad (+39 / 0,07679) \quad \text{multiplier} \\
 \hline
 \underbrace{}_{0 \quad +1xM \quad -2xM \quad +2xM \quad -1xM} \\
 111111111110011100 \\
 0000000011001000 \\
 11111100111000 \\
 000001100100 \\
 \hline
 000000111100111100 \quad + \quad (7) \\
 \hline
 \underbrace{000000111100}_{\text{Hasil}} \quad \underbrace{00111100}_{\text{dipotong}}
 \end{array}$$

Gambar 3.13. Perkalian parsial koefisien 3 (0,07679)

Perkalian parsial koefisien 3 (0,07679) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.14.

Gambar skematik hasil implementasi perkalian untuk koefisien ketiga (0,07679) diperlihatkan pada lampiran.

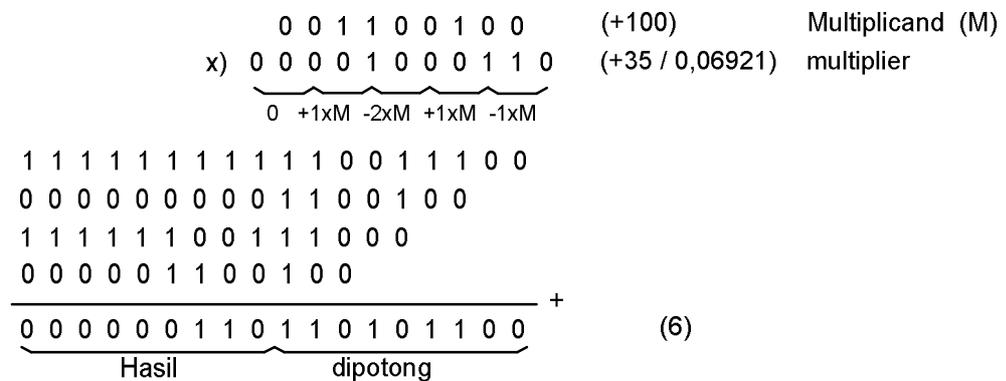


Gambar 3.14. Blok diagram koefisien 3 (0,07679)

3.4.3.4. Koefisien 4 (0,06921)

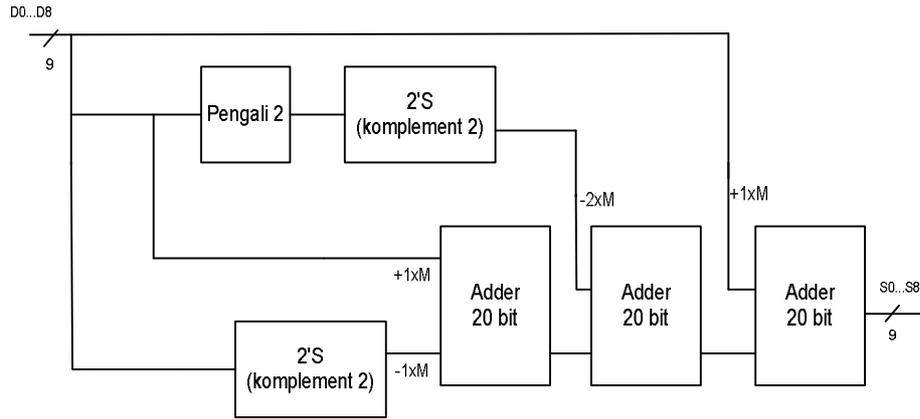
Koefisien keempat yang diimplementasikan adalah 0,06921. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 35 (000100011).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.15.



Gambar 3.15. Perkalian parsial koefisien 4 (0,06921)

Perkalian parsial koefisien 4 (0,06921) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.16.

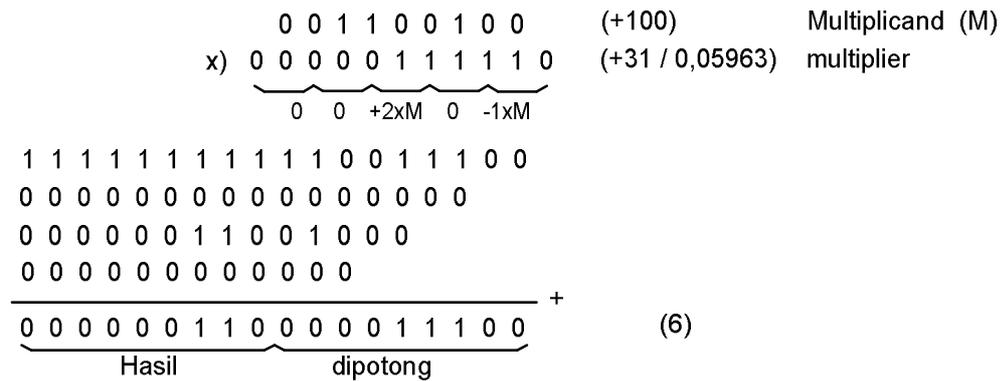


Gambar 3.16. Blok diagram koefisien 4 (0,06921)

Gambar skematik hasil implementasi perkalian untuk koefisien keempat (0,06921) diperlihatkan pada lampiran.

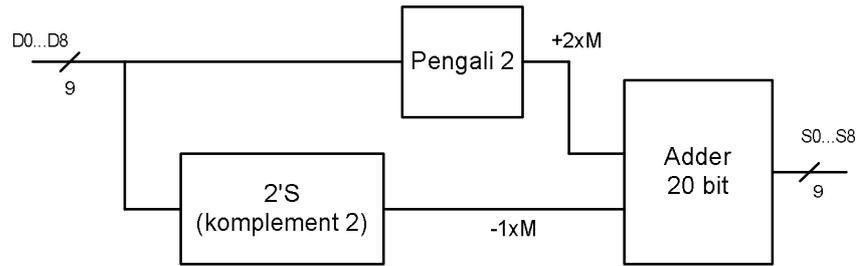
3.4.3.5. Koefisien 5 (0,05963)

Koefisien kelima yang diimplementasikan adalah 0,05963. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 31 (000011111). Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.17.



Gambar 3.17. Perkalian parsial koefisien 5 (0,05963)

Perkalian parsial koefisien 5 (0,05963) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.18.



Gambar 3.18. Blok diagram koefisien 5 (0,05963)

Gambar skematik hasil implementasi perkalian untuk koefisien kelima (0,05963) diperlihatkan pada lampiran.

3.4.3.6. Koefisien 6 (0,04892)

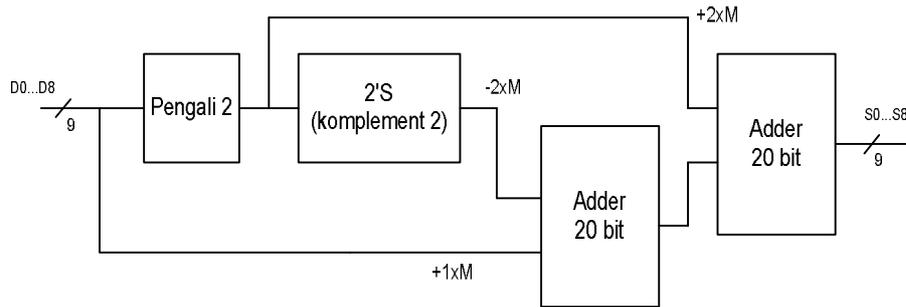
Koefisien keenam yang diimplementasikan adalah 0,04892. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 25 (000011001).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.19.

	0 0 1 1 0 0 1 0 0	(+100)	Multiplicand (M)
x)	0 0 0 0 0 1 1 0 0 1 0	(+25 / 0,04892)	multiplier
	$\underbrace{\hspace{1.5cm}}$ 0 0 +2xM -2xM +1xM		
	0 0 0 0 0 0 0 0 0 0 1 1 0 0 1 0 0		
	1 1 1 1 1 1 1 1 0 0 1 1 1 0 0 0		
	0 0 0 0 0 0 1 1 0 0 1 0 0 0		
	----- +		
	0 0 0 0 0 0 1 0 0 1 1 1 1 0 0 1 0 0	(4)	
	$\underbrace{\hspace{1.5cm}}$ Hasil $\underbrace{\hspace{1.5cm}}$ dipotong		

Gambar 3.19. Perkalian parsial koefisien 6 (0,04892)

Perkalian parsial koefisien 6 (0,04892) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.20.



Gambar 3.20. Blok diagram koefisien 6 (0,04892)

Gambar skematik hasil implementasi perkalian untuk koefisien keenam (0,04892) diperlihatkan pada lampiran.

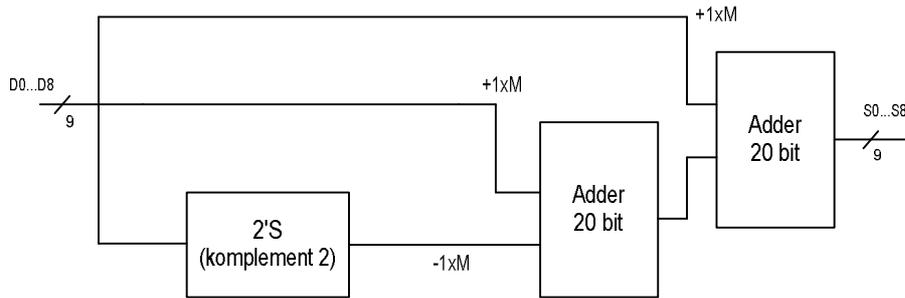
3.4.3.7. Koefisien 7 (0,03798)

Koefisien ketujuh yang diimplementasikan adalah 0,03798. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 19 (000010011). Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.21.

	0 0 1 1 0 0 1 0 0	(+100)	Multiplicand (M)
x)	0 0 0 0 0 1 0 0 1 1 0	(+19 / 0,03798)	multiplier
	$\underbrace{\hspace{1.5cm}}$ 0 0 +1xM +1xM -1xM		
	1 1 1 1 1 1 1 1 1 1 0 0 1 1 1 0 0		
	0 0 0 0 0 0 0 0 0 1 1 0 0 1 0 0		
	0 0 0 0 0 0 0 1 1 0 0 1 0 0		
	----- +		
	0 0 0 0 0 0 1 1 0 1 0 1 1 0 1 1 0 0	(3)	
	$\underbrace{\hspace{1.5cm}}$ Hasil $\underbrace{\hspace{1.5cm}}$ dipotong		

Gambar 3.21. Perkalian parsial koefisien 7 (0,03798)

Perkalian parsial koefisien 7 (0,03798) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.22.



Gambar 3.22. Blok diagram koefisien 7 (0,03798)

Gambar skematik hasil implementasi perkalian untuk koefisien ketujuh (0,03798) diperlihatkan pada lampiran.

3.4.3.8. Koefisien 8 (0,02764)

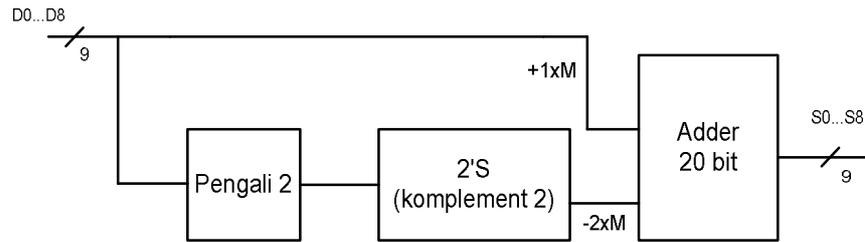
Koefisien kedelapan yang diimplementasikan adalah 0,02764. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 14 (000001110).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.23.

	0 0 1 1 0 0 1 0 0	(+100)	Multiplicand (M)
x)	0 0 0 0 0 0 1 1 1 0 0	(+14 / 0,02764)	multiplier
	$\underbrace{\hspace{10em}}_{0 \quad 0 \quad +1xM \quad 0 \quad -2xM}$		
	1 1 1 1 1 1 1 1 1 0 0 1 1 1 0 0 0		
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
	0 0 0 0 0 0 0 1 1 0 0 1 0 0		
	----- +		
	0 0 0 0 0 0 0 1 0 1 0 1 1 1 1 0 0 0	(2)	
	$\underbrace{\hspace{10em}}_{\text{Hasil} \quad \text{dipotong}}$		

Gambar 3.23. Perkalian parsial koefisien 8 (0,02764)

Perkalian parsial koefisien 8 (0,02764) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.24.



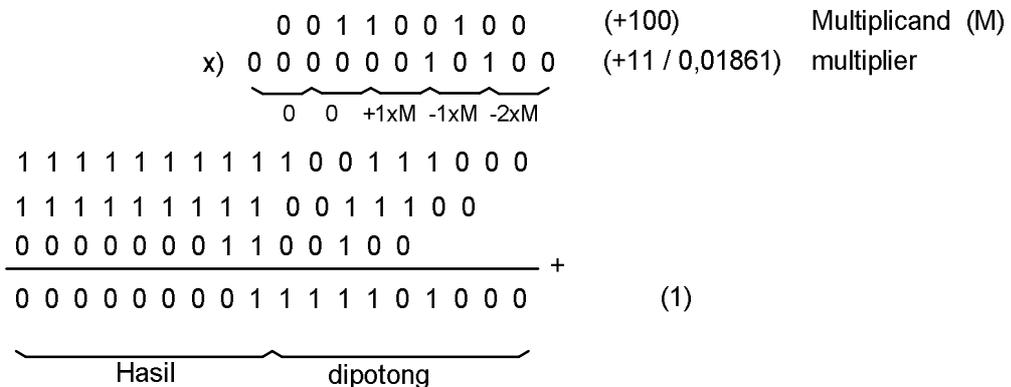
Gambar 3.24. Blok diagram koefisien 8 (0,02764)

Gambar skematik hasil implementasi perkalian untuk koefisien kedelapan (0,02764) diperlihatkan pada lampiran.

3.4.3.9. Koefisien 9 (0,01861)

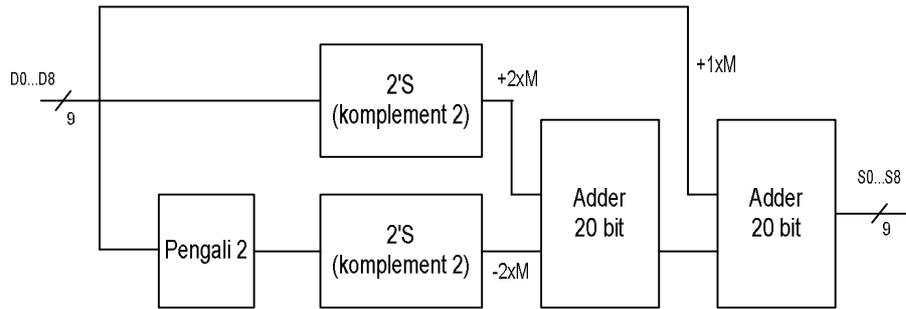
Koefisien kesembilan yang diimplementasikan adalah 0,01861. Berdasarkan pada tabel 3.7 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 10 (000001010).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada gambar 3.25.



Gambar 3.25. Perkalian parsial koefisien 9 (0,01861)

Perkalian parsial koefisien 9 (0,01861) dapat dibuat blok diagramnya seperti diperlihatkan pada gambar 3.26.



Gambar 3.26. Blok diagram koefisien 9 (0,01861)

Gambar skematik hasil implementasi perkalian untuk koefisien kesembilan (0,01861) diperlihatkan pada lampiran.

BAB IV
HASIL PENELITIAN DAN PEMBAHASAN

4.1. Pengubah analog ke digital

Masukan untuk ADC dikenakan pada IN0, masukan uji berupa tegangan dc dengan tegangan antara 0 – 2,5 Volt. Keluaran D0 – D7 dihubungkan dengan 8 buah led. *Clock* untuk rangkaian pengubah analog ke digital ini adalah sebesar 1067 KHz yang diperoleh dari rangkaian pembangkit pulsa *clock*. Tabel 4.1 menunjukkan hasil pengubahan data tegangan dc 0 – 2,5V ke dalam bentuk digital.

Tabel 4.1. Konversi tegangan 0 – 2,5V analog ke digital

Tegangan masukan analog (Volt dc)	Kombinasi led D7 – D0	Tegangan masukan analog (Volt dc)	Kombinasi led D7 – D0
0	0000 0000	1,3	0110 0011
0,1	0000 1001	1,4	0111 0111
0,2	0001 0111	1,5	0111 1111
0,3	0001 1010	1,6	1000 1111
0,4	0001 1111	1,7	1000 1100
0,5	0010 0011	1,8	1001 0000
0,6	0010 1111	1,9	1010 0100
0,7	0011 0111	2,0	1011 0000
0,8	0011 0111	2,1	1011 1000
0,9	0011 1111	2,2	1100 0011
1,0	0100 1111	2,3	1101 1101
1,1	0101 0011	2,4	1110 1100
1,2	0101 1111	2,5	1111 1111

4.2. Pengubah digital ke analog

Sinyal masukan A1 – A8 diperoleh dari saklar DIP swith 8 pin yang disusun sebagai saklar yang memberi pulsa “0” atau pulsa “1”. Keluaran rangkaian pengubah digital ke analog ini diberikan ke IC LF353 yang berfungsi sebagai pengubah arus yang dihasilkan pengubah digital ke analog menjadi besaran tegangan . Keluaran IC

LF 353 ini ada pada pin 1 yang dihubungkan dengan sebuah *voltmeter* analog untuk mengamati besarnya tegangan analog yang dihasilkan oleh rangkaian pengubah digital ke analog.

Tabel 4.2 menunjukkan hasil perubahan data digital yang diperoleh dari DIP *switch* ke dalam bentuk tegangan analog.

Tabel 4.2. Konversi digital ke analog

Kombinasi saklar DIP switch	Keluaran tegangan analog (Volt dc)	Kombinasi saklar DIP	Keluaran tegangan analog (Volt dc)
0000 0000	0	0101 1111	1,5
0000 1000	0,1	0110 0110	1,6
0000 1110	0,2	0110 1100	1,7
0001 0100	0,3	0111 0010	1,8
0001 1011	0,4	0111 0111	1,9
0010 0010	0,5	0111 1100	2,0
0010 1000	0,6	1000 0100	2,1
0011 0000	0,7	1000 1001	2,2
0011 0101	0,8	1000 1110	2,3
0011 1100	0,9	1001 0100	2,4
0100 0010	1,0	1001 1000	2,5
0100 0111	1,1	1011 0000	2,6
0100 1110	1,2	1011 0111	2,8
0101 0011	1,3	1100 0111	3,0
0101 1011	1,4	1111 1111	3,2

4.3. Tapis analog aktif

Rangkaian tapis analog aktif ini mendapat masukan dari sebuah *sweep frequency generator* yaitu sinyal sinus dengan frekuensi dari 25 Hz sampai dengan 5000 Hz. Masukan juga diamati menggunakan osiloskop. Rangkaian ini digunakan untuk menghaluskan keluaran DAC yang masih berupa anak tangga. Keluaran tapis analog ini diamati dengan menggunakan osiloskop *dual trace*. Tanggapan frekuensi dari tapis analog aktif diperlihatkan pada tabel 4.3.

Tabel 4.3. Tanggapan frekuensi tapis analog aktif

Frekuensi masukan (Hz)	Tegangan masukan (Volt)	Tegangan keluaran (Volt)	Frekuensi masukan (Hz)	Tegangan masukan (Volt)	Tegangan keluaran (Volt)
25	6	6	1000	6	1,6
50	6	6	1100	6	1,5
75	6	6	1200	6	1,2
100	6	6	1300	6	0,9
200	6	5,6	1400	6	0,8
300	6	5,2	1500	6	0,7
400	6	4,4	1600	6	0,6
500	6	4,0	1800	6	0,5
600	6	3,2	2000	6	0,4
700	6	2,5	3000	6	0,3
800	6	2,2	4000	6	0,2
900	6	2,0	5000	6	0,1

Besarnya penguatan (dB) tapis analog aktif diperoleh dengan persamaan (37)

$$dB = 20 \log \frac{V_{out}}{V_{in}}$$

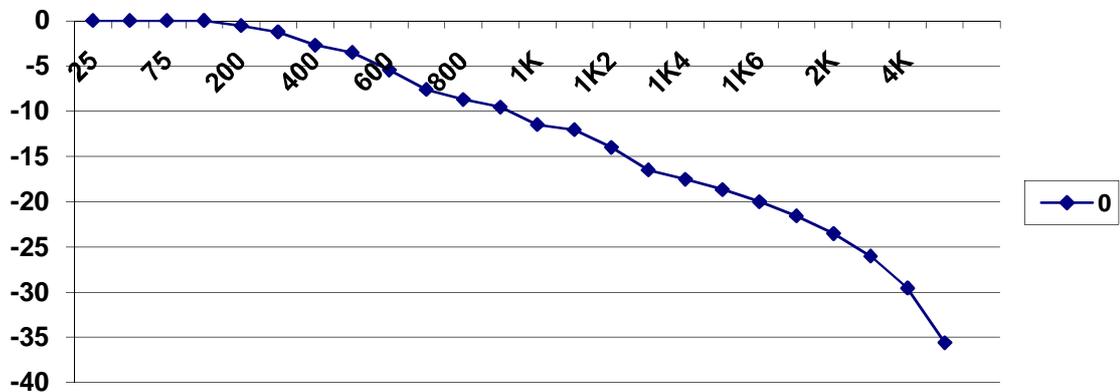
Penguatan tapis analog aktif dalam dB diperlihatkan pada tabel 4.4

Tabel 4.4. Penguatan Tapis analog aktif

Frekuensi masukan (Hz)	Penguatan (dB) $20 \log \frac{V_{out}}{V_{in}}$	Frekuensi masukan (Hz)	Penguatan (dB) $20 \log \frac{V_{out}}{V_{in}}$
25	0	1000	-11,48
50	0	1100	-12,04
75	0	1200	-13,98
100	0	1300	-16,48
200	-0,56	1400	-17,5
300	-1,24	1500	-18,66
400	-2,69	1600	-20
500	-3,52	1800	-21,58
600	-5,46	2000	-23,52
700	-7,60	3000	-26,02

800	-8,71	4000	-29,54
900	-9,54	5000	-35,56

Grafik tanggapan frekuensi tapis analog aktif diperlihatkan pada gambar 4.2.



Gambar 4.2. Grafik tanggapan frekuensi tapis analog aktif.

4.4. Koefisien

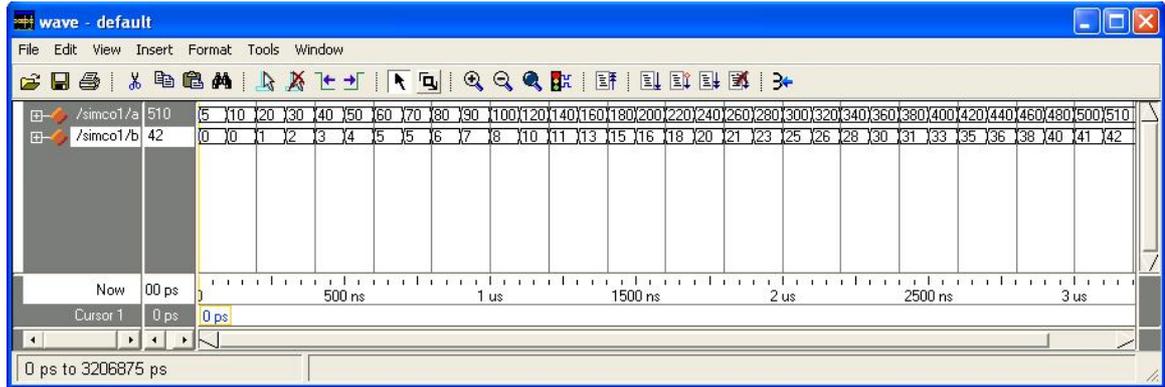
Nilai koefisien yang diimplementasikan dalam penelitian ini terdiri dari 9 buah koefisien yaitu : 0,08333, 0,08165, 0,07679, 0,06921, 0,05963, 0,04892, 0,03798, 0,02764, 0,01861.

Data masukan yang dapat digunakan adalah antara rentang 0 sampai dengan 512_{10} . *Sample data* yang digunakan adalah 20, 30, 40, 50, 60, 70, 80, 90, 100, 110, 120, 140, 160, 180, 200, 220, 240, 260, 280, 300, 320, 340, 360, 380, 400, 420, 440, 460, 480, 500 dan 510.

Implementasi rangkaian pengali pada penelitian ini menggunakan algoritma *bit pair recoding*.

4.4.1. Kofisien 1 (0,08333)

Simulasi hasil perkalian koefisien1 dengan *sample data* diperlihatkan pada gambar 4.9.



Gambar 4.9 Simulasi perkalian koefisien1 dengan *sample data*

Data hasil perkalian antara koefisien1 (0,08333) dengan *sample data* diperlihatkan pada tabel 4.5.

Tabel 4.5. Data hasil perkalian koefisien 1 (0,08333) dengan *sample data*

koef 1	data	Koef 1 x data (teori) X	koef1 x data (simulasi) Y	X ²	Y ²	XY
0.08333	20	1.67	1	2.7776	1	1.6666
0.08333	30	2.4999	2	6.2495	4	4.9998
0.08333	40	3.3332	3	11.1102	9	9.9996
0.08333	50	4.1665	4	17.3597	16	16.666
0.08333	60	4.9998	5	24.9980	25	24.999
0.08333	70	5.8331	5	34.0251	25	29.1655
0.08333	80	6.6664	6	44.4409	36	39.9984
0.08333	90	7.4997	7	56.2455	49	52.4979
0.08333	100	8.333	8	69.4389	64	66.664
0.08333	120	9.9996	10	99.9920	100	99.996
0.08333	140	11.6662	11	136.1002	121	128.3282
0.08333	160	13.3328	13	177.7636	169	173.3264
0.08333	180	14.9994	15	224.9820	225	224.991
0.08333	200	16.666	16	277.7556	256	266.656
0.08333	220	18.3326	18	336.0842	324	329.9868
0.08333	240	19.9992	20	399.9680	400	399.984
0.08333	260	21.6658	21	469.4069	441	454.9818
0.08333	280	23.3324	23	544.4009	529	536.6452
0.08333	300	24.999	25	624.9500	625	624.975
0.08333	320	26.6656	26	711.0542	676	693.3056
0.08333	340	28.3322	28	802.7136	784	793.3016
0.08333	360	29.9988	30	899.9280	900	899.964
0.08333	380	31.6654	31	1002.6976	961	981.6274
0.08333	400	33.332	33	1111.0222	1089	1099.956
0.08333	420	34.9986	35	1224.9020	1225	1224.951
0.08333	440	36.6652	36	1344.3369	1296	1319.947
0.08333	460	38.3318	38	1469.3269	1444	1456.608
0.08333	480	39.9984	40	1599.8720	1600	1599.936
0.08333	500	41.665	41	1735.9722	1681	1708.265
0.08333	510	42.4983	42	1806.1055	1764	1784.929
	Σ	604.14	593	17265.9797	16839	17049.32

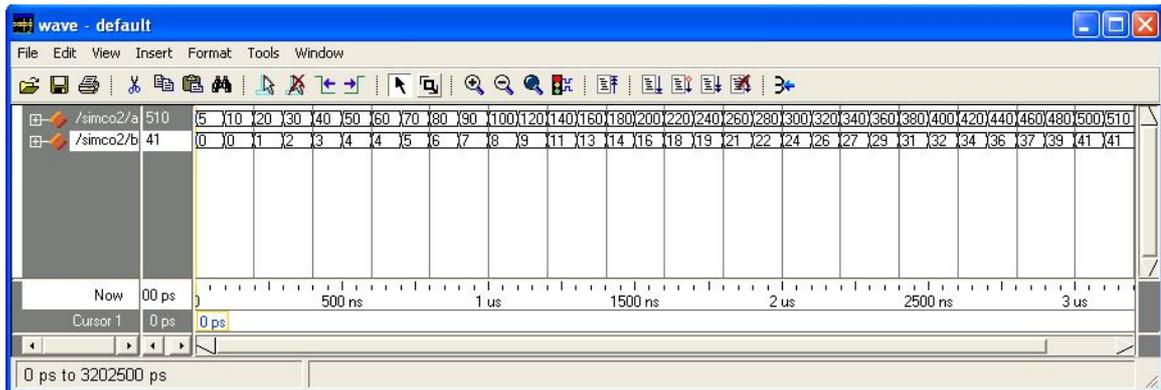
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.6. Hasil perhitungan besarnya *standart error* untuk koefisien 1 adalah 0.238139.

Tabel 4.6 *Standart error* koefisien 1 (0,08333)

$\frac{1}{n(n-2)}$	$n\sum y^2$	$(\sum y)^2$	$\frac{[n\sum xy - (\sum x)(\sum y)]^2}{n\sum x^2 - (\sum x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)}\right] \left[n\sum y^2 - (\sum y)^2 - \frac{[n\sum xy - (\sum x)(\sum y)]^2}{n\sum x^2 - (\sum x)^2} \right]}$ <i>standart error</i>
0.00119	168390	351649	-183307	0.238139

4.4.2 Koefisien 2 (0,08165)

Simulasi hasil perkalian koefisien2 dengan *sample data* diperlihatkan pada gambar 4.10.



Gambar 4.10 Simulasi perkalian koefisien2 dengan *sample data*

Data hasil perkalian antara koefisien2 (0,08165) dengan *sample data* diperlihatkan pada tabel 4.7.

Tabel 4.7 Data hasil perkalian koefisien 2 (0,08165) dengan *sample data*

koef 2	data	Koef 2 x data (teori) X	Koef 2 x data (simulasi) Y	X ²	Y ²	XY

0.08165	20	1.63	1	2.6667	1	1.633
0.08165	30	2.4495	2	6.0001	4	4.899
0.08165	40	3.266	3	10.6668	9	9.798
0.08165	50	4.0825	4	16.6668	16	16.33
0.08165	60	4.899	4	24.0002	16	19.596
0.08165	70	5.7155	5	32.6669	25	28.5775
0.08165	80	6.532	6	42.6670	36	39.192
0.08165	90	7.3485	7	54.0005	49	51.4395
0.08165	100	8.165	8	66.6672	64	65.32
0.08165	120	9.798	9	96.0008	81	88.182
0.08165	140	11.431	11	130.6678	121	125.741
0.08165	160	13.064	13	170.6681	169	169.832
0.08165	180	14.697	14	216.0018	196	205.758
0.08165	200	16.33	16	266.6689	256	261.28
0.08165	220	17.963	18	322.6694	324	323.334
0.08165	240	19.596	19	384.0032	361	372.324
0.08165	260	21.229	21	450.6704	441	445.809
0.08165	280	22.862	22	522.6710	484	502.964
0.08165	300	24.495	24	600.0050	576	587.88
0.08165	320	26.128	26	682.6724	676	679.328
0.08165	340	27.761	27	770.6731	729	749.547
0.08165	360	29.394	29	864.0072	841	852.426
0.08165	380	31.027	31	962.6747	961	961.837
0.08165	400	32.66	32	1066.6756	1024	1045.12
0.08165	420	34.293	34	1176.0098	1156	1165.962
0.08165	440	35.926	36	1290.6775	1296	1293.336
0.08165	460	37.559	37	1410.6785	1369	1389.683
0.08165	480	39.192	39	1536.0129	1521	1528.488
0.08165	500	40.825	41	1666.6806	1681	1673.825
0.08165	510	41.6415	41	1734.0145	1681	1707.302
	Σ	591.96	580	16576.8055	16164	16366.74

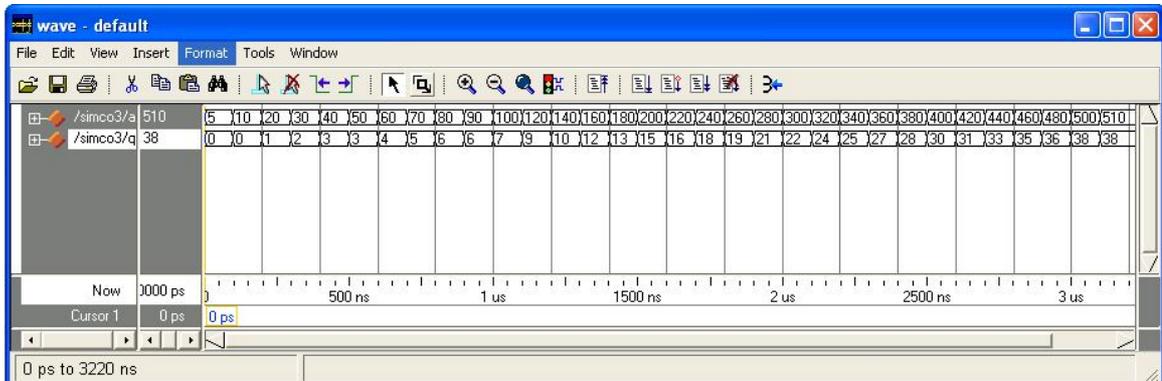
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.8. Hasil perhitungan besarnya *standart error* untuk koefisien 2 adalah 0.276999

Tabel 4.8 *Standart error* koefisien 2 (0,08165)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right] \right]}$ <i>standart error</i>
0.00119	161640	336400	-174824	0.276999

4.4.3 Koefisien 3 (0,07679)

Simulasi hasil perkalian koefisien3 dengan *sample data* diperlihatkan pada gambar 4.11.



Gambar 4.11 Simulasi perkalian koefisien3 dengan *sample data*

Data hasil perkalian antara koefisien3 (0,07679) dengan *sample data* diperlihatkan pada tabel 4.9.

Tabel 4.9 Data hasil perkalian koefisien 3 (0,07679) dengan *sample data*

koef 3	data	Koef 3 x data (teori) X	Koef 3 x data (simulasi) Y	X ²	Y ²	XY
0.07679	20	1.54	1	2.3587	1	1.5358
0.07679	30	2.3037	2	5.3070	4	4.6074
0.07679	40	3.0716	3	9.4347	9	9.2148
0.07679	50	3.8395	3	14.7418	9	11.5185
0.07679	60	4.6074	4	21.2281	16	18.4296
0.07679	70	5.3753	5	28.8939	25	26.8765
0.07679	80	6.1432	6	37.7389	36	36.8592
0.07679	90	6.9111	6	47.7633	36	41.4666
0.07679	100	7.679	7	58.9670	49	53.753
0.07679	120	9.2148	9	84.9125	81	82.9332
0.07679	140	10.7506	10	115.5754	100	107.506
0.07679	160	12.2864	12	150.9556	144	147.4368
0.07679	180	13.8222	13	191.0532	169	179.6886
0.07679	200	15.358	15	235.8682	225	230.37
0.07679	220	16.8938	16	285.4005	256	270.3008
0.07679	240	18.4296	18	339.6502	324	331.7328
0.07679	260	19.9654	19	398.6172	361	379.3426
0.07679	280	21.5012	21	462.3016	441	451.5252
0.07679	300	23.037	22	530.7034	484	506.814
0.07679	320	24.5728	24	603.8225	576	589.7472
0.07679	340	26.1086	25	681.6590	625	652.715
0.07679	360	27.6444	27	764.2129	729	746.3988
0.07679	380	29.1802	28	851.4841	784	817.0456
0.07679	400	30.716	30	943.4727	900	921.48
0.07679	420	32.2518	31	1040.1786	961	999.8058
0.07679	440	33.7876	33	1141.6019	1089	1114.991
0.07679	460	35.3234	35	1247.7426	1225	1236.319
0.07679	480	36.8592	36	1358.6006	1296	1326.931
0.07679	500	38.395	38	1474.1760	1444	1459.01
0.07679	510	39.1629	38	1533.7327	1444	1488.19
	Σ	556.73	537	14662.1547	13843	14244.55

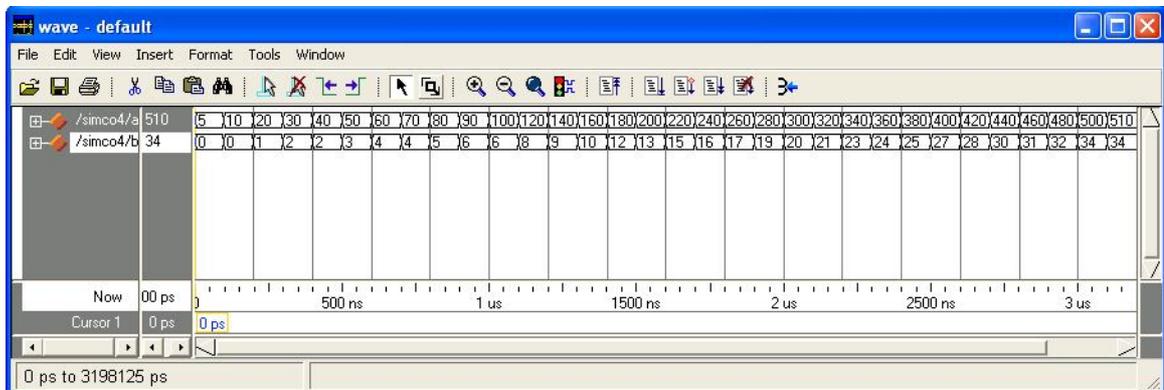
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.10. Hasil perhitungan besarnya *standart error* untuk koefisien 3 adalah 0.25624.

Tabel 4.10 *Standart error* koefisien 3 (0,07679)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right]}$ <i>standart error</i>
0.00119	138430	288369	-149994	0.25624

4.4.4 Koefisien 4 (0,06921)

Simulasi hasil perkalian koefisien4 dengan *sample data* diperlihatkan pada gambar 4.12.



Gambar 4.12 Simulasi perkalian koefisien4 dengan *sample data*

Data hasil perkalian antara koefisien4 (0,06921) dengan *sample data* diperlihatkan pada tabel 4.9.

Tabel 4.11 Data hasil perkalian koefisien 4 (0,06921) dengan *sample data*

koef 4	data	Koef 4 x data (teori) X	Koef 4 x data (simulasi) Y	X ²	Y ²	XY
0.06921	20	1.38	1	1.9160	1	1.3842
0.06921	30	2.0763	2	4.3110	4	4.1526
0.06921	40	2.7684	2	7.6640	4	5.5368
0.06921	50	3.4605	3	11.9751	9	10.3815
0.06921	60	4.1526	4	17.2441	16	16.6104
0.06921	70	4.8447	4	23.4711	16	19.3788
0.06921	80	5.5368	5	30.6562	25	27.684
0.06921	90	6.2289	6	38.7992	36	37.3734
0.06921	100	6.921	6	47.9002	36	41.526
0.06921	120	8.3052	8	68.9763	64	66.4416
0.06921	140	9.6894	9	93.8845	81	87.2046
0.06921	160	11.0736	10	122.6246	100	110.736
0.06921	180	12.4578	12	155.1968	144	149.4936
0.06921	200	13.842	13	191.6010	169	179.946
0.06921	220	15.2262	15	231.8372	225	228.393
0.06921	240	16.6104	16	275.9054	256	265.7664
0.06921	260	17.9946	17	323.8056	289	305.9082
0.06921	280	19.3788	19	375.5379	361	368.1972
0.06921	300	20.763	20	431.1022	400	415.26
0.06921	320	22.1472	21	490.4985	441	465.0912
0.06921	340	23.5314	23	553.7268	529	541.2222
0.06921	360	24.9156	24	620.7871	576	597.9744
0.06921	380	26.2998	25	691.6795	625	657.495
0.06921	400	27.684	27	766.4039	729	747.468
0.06921	420	29.0682	28	844.9603	784	813.9096
0.06921	440	30.4524	30	927.3487	900	913.572
0.06921	460	31.8366	31	1013.5691	961	986.9346
0.06921	480	33.2208	32	1103.6216	1024	1063.066
0.06921	500	34.605	34	1197.5060	1156	1176.57
0.06921	510	35.2971	34	1245.8853	1156	1200.101
	Σ	501.77	481	11910.3949	11117	11504.78

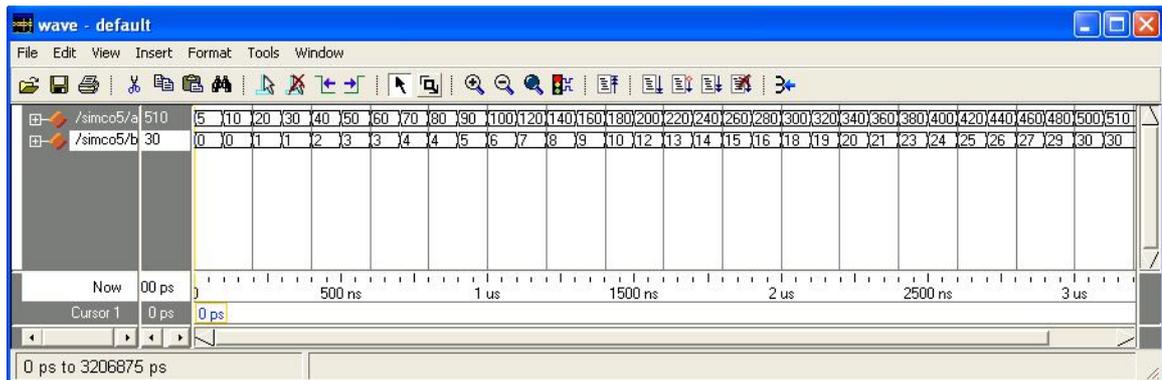
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.12. Hasil perhitungan besarnya *standart error* untuk koefisien 4 adalah 0.249842.

Tabel 4.12 *Standart error* koefisien 4 (0,06921)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right] \right]}$ <i>standart error</i>
0.00119	111170	231361	-120243	0.249842

4.4.5 Koefisien 5 (0,05963)

Simulasi hasil perkalian koefisien5 dengan *sample data* diperlihatkan pada gambar 4.13.



Gambar 4.13 Simulasi perkalian koefisien5 dengan *sample data*

Data hasil perkalian antara koefisien5 (0,05963) dengan *sample data* diperlihatkan pada tabel 4.13.

Tabel 4.13 Data hasil perkalian koefisien 5 (0,05963) dengan *sample data*

koef 5	data	Koef 5 x data (teori) X	Koef 5 x data (simulasi) Y	X ²	Y ²	XY
0.05963	20	1.19	1	1.4223	1	1.1926
0.05963	30	1.7889	1	3.2002	1	1.7889
0.05963	40	2.3852	2	5.6892	4	4.7704
0.05963	50	2.9815	3	8.8893	9	8.9445
0.05963	60	3.5778	3	12.8007	9	10.7334
0.05963	70	4.1741	4	17.4231	16	16.6964
0.05963	80	4.7704	4	22.7567	16	19.0816
0.05963	90	5.3667	5	28.8015	25	26.8335
0.05963	100	5.963	6	35.5574	36	35.778
0.05963	120	7.1556	7	51.2026	49	50.0892
0.05963	140	8.3482	8	69.6924	64	66.7856
0.05963	160	9.5408	9	91.0269	81	85.8672
0.05963	180	10.7334	10	115.2059	100	107.334
0.05963	200	11.926	12	142.2295	144	143.112
0.05963	220	13.1186	13	172.0977	169	170.5418
0.05963	240	14.3112	14	204.8104	196	200.3568
0.05963	260	15.5038	15	240.3678	225	232.557
0.05963	280	16.6964	16	278.7698	256	267.1424
0.05963	300	17.889	18	320.0163	324	322.002
0.05963	320	19.0816	19	364.1075	361	362.5504
0.05963	340	20.2742	20	411.0432	400	405.484
0.05963	360	21.4668	21	460.8235	441	450.8028
0.05963	380	22.6594	23	513.4484	529	521.1662
0.05963	400	23.852	24	568.9179	576	572.448
0.05963	420	25.0446	25	627.2320	625	626.115
0.05963	440	26.2372	26	688.3907	676	682.1672
0.05963	460	27.4298	27	752.3939	729	740.6046
0.05963	480	28.6224	29	819.2418	841	830.0496
0.05963	500	29.815	30	888.9342	900	894.45
0.05963	510	30.4113	30	924.8472	900	912.339
	Σ	432.32	425	8841.3398	8703	8769.784

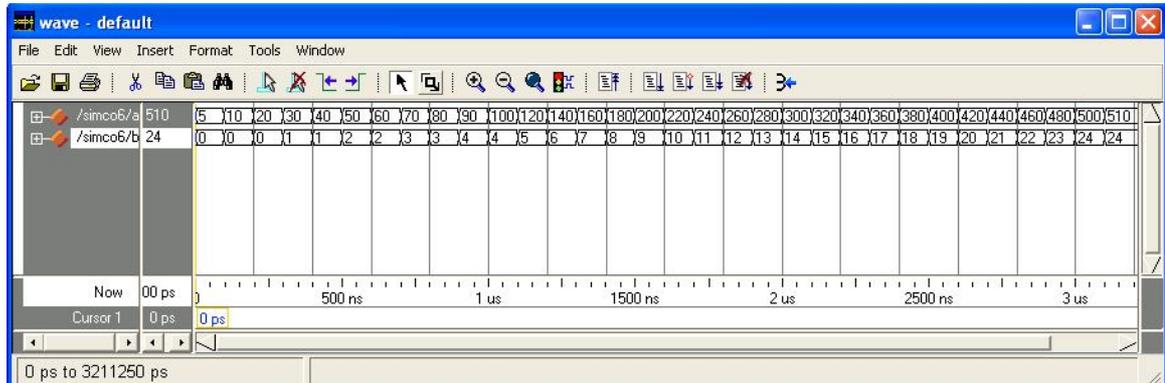
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.14. Hasil perhitungan besarnya *standart error* untuk koefisien 5 adalah 0.255919.

Tabel 4.14 *Standart error* koefisien 5 (0,05963)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right]}$ <i>standart error</i>
0.00119	87030	180625	-93650	0.255919

4.4.6 Koefisien 6 (0.04892)

Simulasi hasil perkalian koefisien6 dengan *sample data* diperlihatkan pada gambar 4.14.



Gambar 4.14 Simulasi perkalian koefisien6 dengan *sample data*

Data hasil perkalian antara koefisien6 (0,04892) dengan *sample data* diperlihatkan pada tabel 4.15.

Tabel 4.15 Data hasil perkalian koefisien 6 (0,04892) dengan *sample data*

koef 6	data	Koef 6 x data (teori) X	Koef 6 x data (simulasi) Y	X ²	Y ²	XY
0.04892	20	0.98	0	0.9573	0	0
0.04892	30	1.4676	1	2.1538	1	1.4676
0.04892	40	1.9568	1	3.8291	1	1.9568
0.04892	50	2.446	2	5.9829	4	4.892
0.04892	60	2.9352	2	8.6154	4	5.8704
0.04892	70	3.4244	3	11.7265	9	10.2732
0.04892	80	3.9136	3	15.3163	9	11.7408
0.04892	90	4.4028	4	19.3846	16	17.6112
0.04892	100	4.892	4	23.9317	16	19.568
0.04892	120	5.8704	5	34.4616	25	29.352
0.04892	140	6.8488	6	46.9061	36	41.0928
0.04892	160	7.8272	7	61.2651	49	54.7904
0.04892	180	8.8056	8	77.5386	64	70.4448
0.04892	200	9.784	9	95.7267	81	88.056
0.04892	220	10.7624	10	115.8293	100	107.624
0.04892	240	11.7408	11	137.8464	121	129.1488
0.04892	260	12.7192	12	161.7780	144	152.6304
0.04892	280	13.6976	13	187.6242	169	178.0688
0.04892	300	14.676	14	215.3850	196	205.464
0.04892	320	15.6544	15	245.0602	225	234.816
0.04892	340	16.6328	16	276.6500	256	266.1248
0.04892	360	17.6112	17	310.1544	289	299.3904
0.04892	380	18.5896	18	345.5732	324	334.6128
0.04892	400	19.568	19	382.9066	361	371.792
0.04892	420	20.5464	20	422.1546	400	410.928
0.04892	440	21.5248	21	463.3170	441	452.0208

0.04892	460	22.5032	22	506.3940	484	495.0704
0.04892	480	23.4816	23	551.3855	529	540.0768
0.04892	500	24.46	24	598.2916	576	587.04
0.04892	510	24.9492	24	622.4626	576	598.7808
	Σ	354.67	334	5950.6083	5506	5720.705

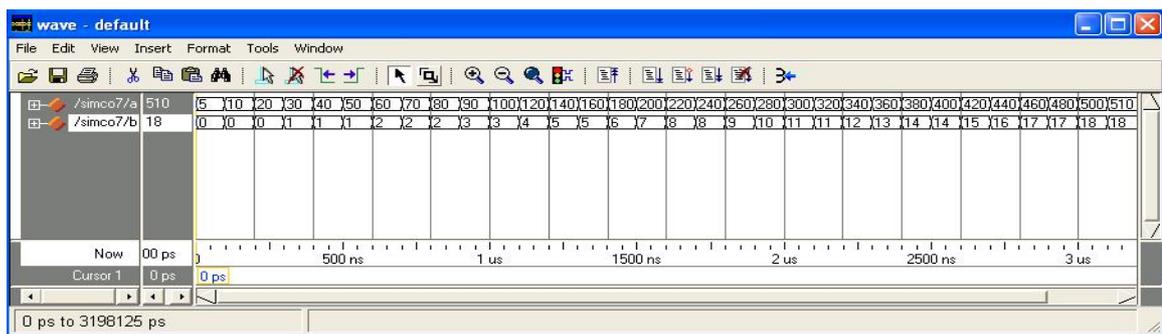
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.16. Hasil perhitungan besarnya *standart error* untuk koefisien 6 adalah 0.356472.

Tabel 4.16 *Standart error* koefisien 6 (0,04892)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right] }$ <i>standart error</i>
0.00119	55060	111556	-56602.7	0.356472

4.4.7. Koefisien 7 (0,03798)

Simulasi hasil perkalian koefisien7 dengan *sample data* diperlihatkan pada gambar 4.15.



Gambar 4.15 Simulasi perkalian koefisien7 dengan *sample data*

Data hasil perkalian antara koefisien7 (0,03798) dengan *sample data* diperlihatkan pada tabel 4.17.

Tabel 4.17 Data hasil perkalian koefisien 7 (0,03798) dengan *sample data*

koef 7	data	Koef 7 x data	Koef 7 x data	X ²	Y ²	XY
--------	------	---------------	---------------	----------------	----------------	----

		(teori) X	(simulasi) Y			
0.03798	20	0.76	0	0.5770	0	0
0.03798	30	1.1394	1	1.2982	1	1.1394
0.03798	40	1.5192	1	2.3080	1	1.5192
0.03798	50	1.899	1	3.6062	1	1.899
0.03798	60	2.2788	2	5.1929	4	4.5576
0.03798	70	2.6586	2	7.0682	4	5.3172
0.03798	80	3.0384	2	9.2319	4	6.0768
0.03798	90	3.4182	3	11.6841	9	10.2546
0.03798	100	3.798	3	14.4248	9	11.394
0.03798	120	4.5576	4	20.7717	16	18.2304
0.03798	140	5.3172	5	28.2726	25	26.586
0.03798	160	6.0768	5	36.9275	25	30.384
0.03798	180	6.8364	6	46.7364	36	41.0184
0.03798	200	7.596	7	57.6992	49	53.172
0.03798	220	8.3556	8	69.8161	64	66.8448
0.03798	240	9.1152	8	83.0869	64	72.9216
0.03798	260	9.8748	9	97.5117	81	88.8732
0.03798	280	10.6344	10	113.0905	100	106.344
0.03798	300	11.394	11	129.8232	121	125.334
0.03798	320	12.1536	11	147.7100	121	133.6896
0.03798	340	12.9132	12	166.7507	144	154.9584
0.03798	360	13.6728	13	186.9455	169	177.7464
0.03798	380	14.4324	14	208.2942	196	202.0536
0.03798	400	15.192	14	230.7969	196	212.688
0.03798	420	15.9516	15	254.4535	225	239.274
0.03798	440	16.7112	16	279.2642	256	267.3792
0.03798	460	17.4708	17	305.2289	289	297.0036
0.03798	480	18.2304	17	332.3475	289	309.9168
0.03798	500	18.99	18	360.6201	324	341.82
0.03798	510	19.3698	18	375.1892	324	348.6564
	Σ	275.36	253	3586.7275	3147	3357.052

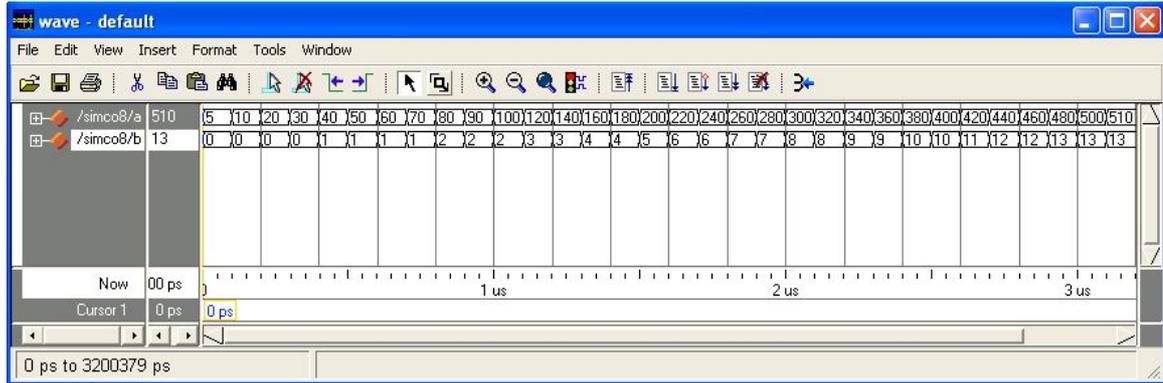
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.18. Hasil perhitungan besarnya *standart error* untuk koefisien 7 adalah 0.286984.

Tabel 4.18 *Standart error* koefisien 7 (0,03798)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right] \right]}$ <i>standart error</i>
0.00119	31470	64009	-32608.2	0.286984

4.4.8 Koefisien 8 (0,02764)

Simulasi hasil perkalian koefisien8 dengan *sample data* diperlihatkan pada gambar 4.16.



Gambar 4.16 Simulasi perkalian koefisien8 dengan *sample data*

Data hasil perkalian antara koefisien8 (0,02764) dengan *sample data* diperlihatkan pada tabel 4.19.

Tabel 4.19 Data hasil perkalian koefisien 8 (0,02764) dengan *sample data*

koef 8	data	Koef 8 x data (teori) X	Koef 8 x data (simulasi) Y	X ²	Y ²	XY
0.02764	20	0.55	0	0.3056	0	0
0.02764	30	0.8292	0	0.6876	0	0
0.02764	40	1.1056	1	1.2224	1	1.1056
0.02764	50	1.382	1	1.9099	1	1.382
0.02764	60	1.6584	1	2.7503	1	1.6584
0.02764	70	1.9348	1	3.7435	1	1.9348
0.02764	80	2.2112	2	4.8894	4	4.4224
0.02764	90	2.4876	2	6.1882	4	4.9752
0.02764	100	2.764	2	7.6397	4	5.528
0.02764	120	3.3168	3	11.0012	9	9.9504
0.02764	140	3.8696	3	14.9738	9	11.6088
0.02764	160	4.4224	4	19.5576	16	17.6896
0.02764	180	4.9752	4	24.7526	16	19.9008
0.02764	200	5.528	5	30.5588	25	27.64
0.02764	220	6.0808	6	36.9761	36	36.4848
0.02764	240	6.6336	6	44.0046	36	39.8016
0.02764	260	7.1864	7	51.6443	49	50.3048
0.02764	280	7.7392	7	59.8952	49	54.1744
0.02764	300	8.292	8	68.7573	64	66.336
0.02764	320	8.8448	8	78.2305	64	70.7584
0.02764	340	9.3976	9	88.3149	81	84.5784
0.02764	360	9.9504	9	99.0105	81	89.5536
0.02764	380	10.5032	10	110.3172	100	105.032
0.02764	400	11.056	10	122.2351	100	110.56
0.02764	420	11.6088	11	134.7642	121	127.6968
0.02764	440	12.1616	12	147.9045	144	145.9392
0.02764	460	12.7144	12	161.6560	144	152.5728
0.02764	480	13.2672	13	176.0186	169	172.4736
0.02764	500	13.82	13	190.9924	169	179.66
0.02764	510	14.0964	13	198.7085	169	183.2532
	Σ	200.39	183	1899.6104	1667	1776.976

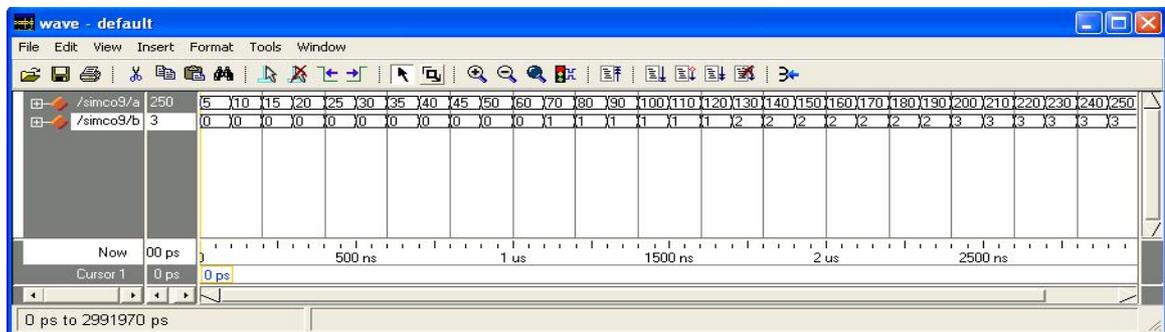
Hasil perhitungan *standart error* ditunjukkan pada tabel 4.20. Hasil perhitungan besarnya *standart error* untuk koefisien 8 adalah 0.278655.

Tabel 4.20 *Standart error* koefisien 8 (0,02764)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right]}$ <i>standart error</i>
0.00119	16670	33489	-16884.2	0.278655

4.4.9 Koefisien 9 (0,01861)

Simulasi hasil perkalian koefisien9 dengan *sample data* diperlihatkan pada gambar 4.17.



Gambar 4.17 Simulasi perkalian koefisien9 dengan *sample data*

Data hasil perkalian antara koefisien9 (0,01861) dengan *sample data* diperlihatkan pada tabel 4.21.

Tabel 4.21 Data hasil perkalian koefisien 9 (0,01861) dengan *sample data*

koef 9	data	koefl x data (teori) X	koefl x data (simulasi) Y	X ²	Y ²	XY
0.01861	5	0.09	0	0.0087	0	0
0.01861	10	0.1861	0	0.0346	0	0
0.01861	15	0.27915	0	0.0779	0	0
0.01861	20	0.3722	0	0.1385	0	0
0.01861	25	0.46525	0	0.2165	0	0
0.01861	30	0.5583	0	0.3117	0	0
0.01861	35	0.65135	0	0.4243	0	0
0.01861	40	0.7444	0	0.5541	0	0
0.01861	45	0.83745	0	0.7013	0	0
0.01861	50	0.9305	0	0.8658	0	0
0.01861	60	1.1166	0	1.2468	0	0
0.01861	70	1.3027	1	1.6970	1	1.3027
0.01861	80	1.4888	1	2.2165	1	1.4888
0.01861	90	1.6749	1	2.8053	1	1.6749
0.01861	100	1.861	1	3.4633	1	1.861
0.01861	110	2.0471	1	4.1906	1	2.0471
0.01861	120	2.2332	1	4.9872	1	2.2332
0.01861	130	2.4193	2	5.8530	4	4.8386
0.01861	140	2.6054	2	6.7881	4	5.2108
0.01861	150	2.7915	2	7.7925	4	5.583
0.01861	160	2.9776	2	8.8661	4	5.9552
0.01861	170	3.1637	2	10.0090	4	6.3274
0.01861	180	3.3498	2	11.2212	4	6.6996
0.01861	190	3.5359	2	12.5026	4	7.0718
0.01861	200	3.722	3	13.8533	9	11.166
0.01861	210	3.9081	3	15.2732	9	11.7243
0.01861	220	4.0942	3	16.7625	9	12.2826
0.01861	230	4.2803	3	18.3210	9	12.8409
0.01861	240	4.4664	3	19.9487	9	13.3992
0.01861	250	4.6525	3	21.6458	9	13.9575
	Σ	62.81	38	192.7771	88	127.6646

Hasil perhitungan *standart error* ditunjukkan pada tabel 4.22. Hasil perhitungan besarnya *standart error* untuk koefisien 9 adalah 0.236296.

Tabel 4.22 *Standart error* koefisien 9 (0,01861)

$\frac{1}{n(n-2)}$	$n\Sigma y^2$	$(\Sigma y)^2$	$\frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2}$	$S_{y-x} = \sqrt{\left[\frac{1}{n(n-2)} \left[n\Sigma y^2 - (\Sigma y)^2 - \frac{[n\Sigma xy - (\Sigma x)(\Sigma y)]^2}{n\Sigma x^2 - (\Sigma x)^2} \right] \right]}$ <i>standart error</i>
0.00119	880	1444	-610.902	0.236296

BAB V. KESIMPULAN DAN SARAN

A. KESIMPULAN

Berdasarkan hasil penelitian dan pembahasan yang telah dilakukan maka dapat diambil kesimpulan sebagai berikut:

1. Tapis digital *finite impulse response* dengan Penjendelaan Hamming telah dirancang dan diimplementasikan kedalam FPGA dan dapat bekerja sesuai dengan rancangan.
2. Besarnya prosentase kesalahan akibat adanya pembulatan koefisien1 sampai dengan koefisien9 adalah berkisar antara 0,236296% - 0,356472%.
3. Koefisien pengali diimplementasikan dengan algoritma *bit pair recoding* yang memiliki waktu *delay* yang paling singkat.
4. Banyaknya *Slices* rata-rata yang digunakan pada implementasi tapis digital ini adalah sebesar 2,67% (*bit pair recoding*).

B. SARAN

Beberapa saran dapat dikemukakan pada penelitian ini untuk dijadikan dasar dalam melakukan penelitian selanjutnya sebagai berikut:

1. Jumlah tap pada perancangan tapis dapat ditambah untuk lebih memperhalus hasil rancangan, tetapi hal ini mempunyai konsekuensi terhadap jumlah komponen-komponen yang juga bertambah banyak, sedangkan jumlah gerbang pada FPGA adalah terbatas.
2. Komponen-komponen analog dapat diperbaiki unjuk kerjanya dengan menggantinya menggunakan rancangan yang lebih baik, misalnya pada tapis analog aktif, dapat diganti dengan tapis analog dengan orde yang lebih tinggi untuk meningkatkan performanya.

DAFTAR PUSTAKA

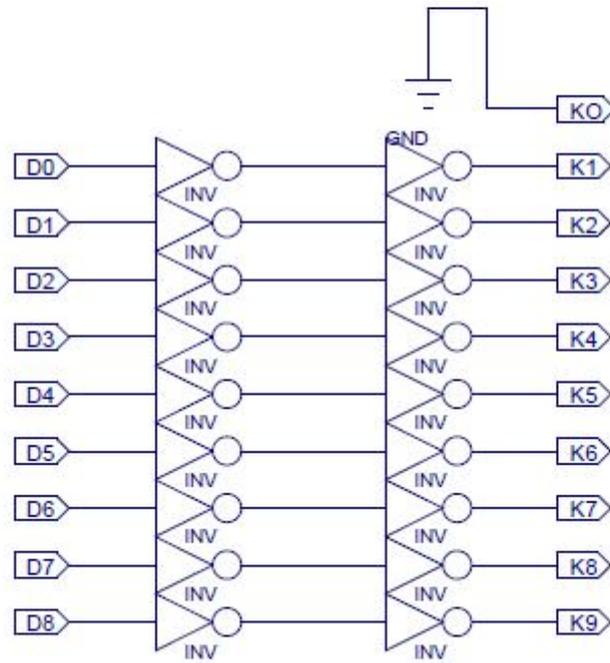
- Cavanagh J. J.F., 1985, "*Digital Computer Arithmetic*", McGraw-Hill Book Company.
- Champagne B., Labeau F., 2004, "*Filter Design*", Chapter 9, McGraw-Hill Book Company.
- Gafar A., 2002, "*Perancangan tapis digital FIR pelewat rendah dengan penjedelaan Blackman berbasis FPGA*", Teknik Elektro Universitas Gadjah Mada.
- Holman J.P., Jasjfi E., "*Metode Pengukuran Teknik*", edisi IV, Erlangga, Jakarta, 1985
- Kuc R., 1982, "*Introduction to digital signal processing*", McGraw-Hill Book Company.
- Ludeman L.C., 1986, "*Fundamentals of Digital Signal Processing*", Harper & Row Publisher.
- Putra, A.E., 2002, "*Penapis Aktif Elektronika*", Gava Media, Yogyakarta.
- Tinder R.F., 1991, "*Digital Engineering Design*", Prentice-Hall International, Inc.
- _____, 2003, "*Model Sim Xilinx Edition II Tutorial Version 5.7c*", Model Technology.
- _____, 2002, "*XStend Board V2.1 Manual*", Xess Corp.
- _____, 2003, "*ISE 6 In-Dept Tutorial*", Xilinx
- _____, 2003, "*ISE Quick Start Tutorial*", Xilinx
- _____, 2003, "*Introduction to WebPACK6.1 (Using Xilinx WebPACK Software to Create FPGA Design for the XSA Board)*", Xess Corporation.
- _____, 1995, "*DAC0808 8 bit D/A Converter data sheet*", National Semiconductor.
- _____, 2002, "*ADC0809 8 bit uP Compatible A/D with 8 Channel Multiplexer data sheet*", National Semiconductor.
- _____, 2000, "*LF398 Monolithic Sample and Hold Circuitsr data sheet*", National Semiconductor.
- _____, 2003, "*LF353 Wide Bandwidth Dual JFET Input Operational Amplifier data sheet*", National Semiconductor.
- _____, "*74LS92 data sheet*", _____

_____., 1999, "*74121 One Shot with Clear and Complementary Output data sheet*", Fairchild Semiconductor.

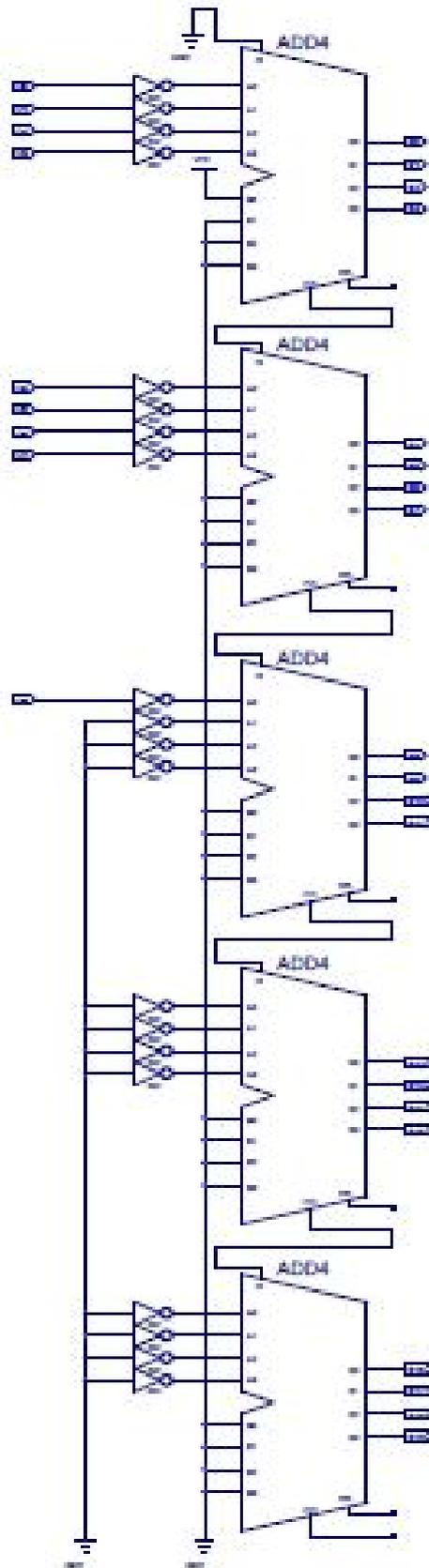
_____., 1998, "*LM741 Operational Amplifier data sheet*", National Semiconductor.

_____., 2004, "*Spartan II 2.5V FPGA Complete data sheet*", Xilinx.

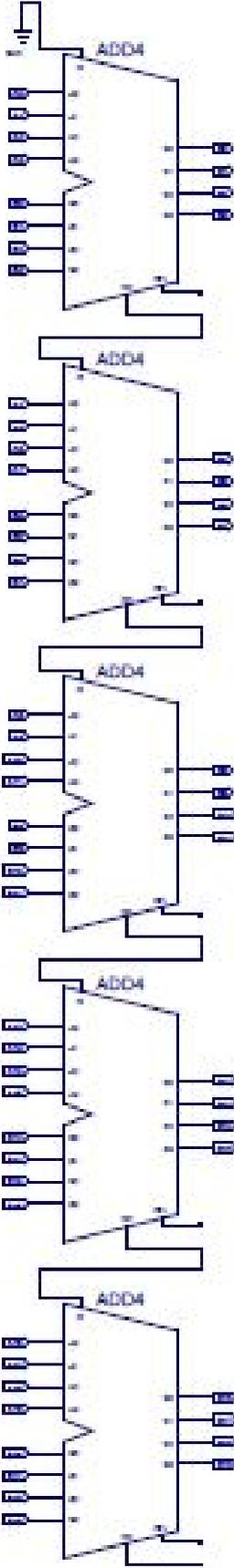
Bit Pair Recoding
Pengali 2



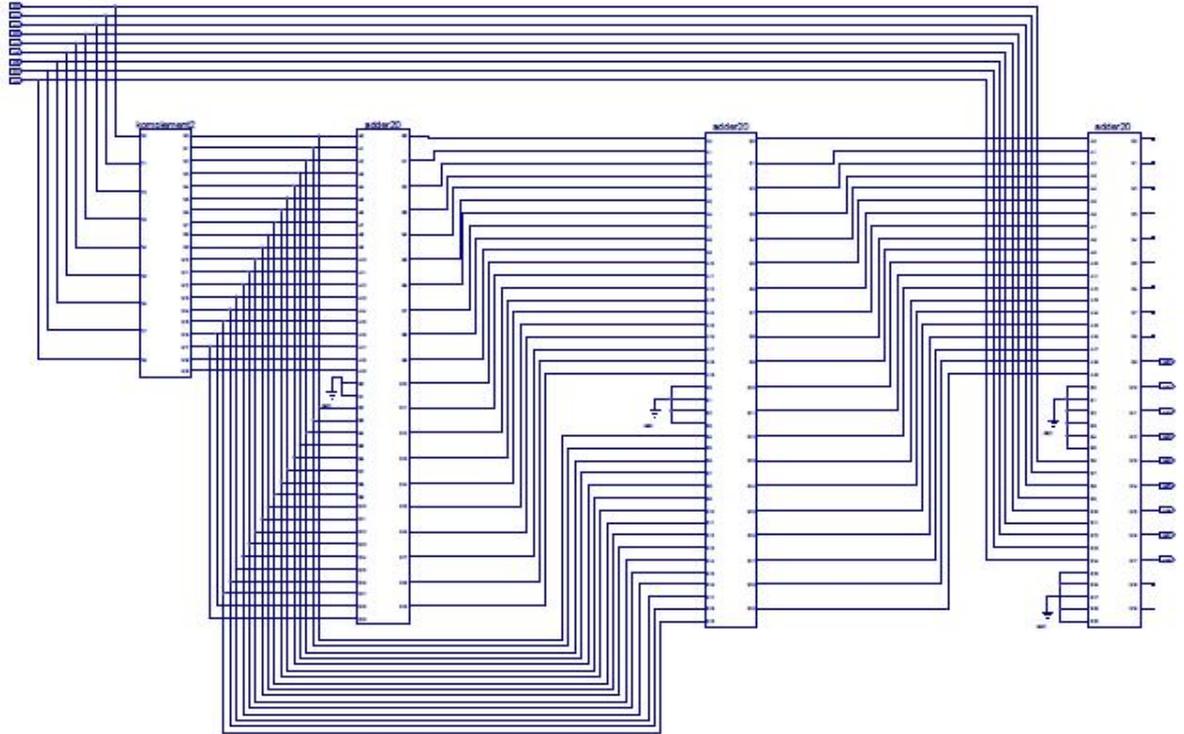
Bit Pair Recoding
2's complement



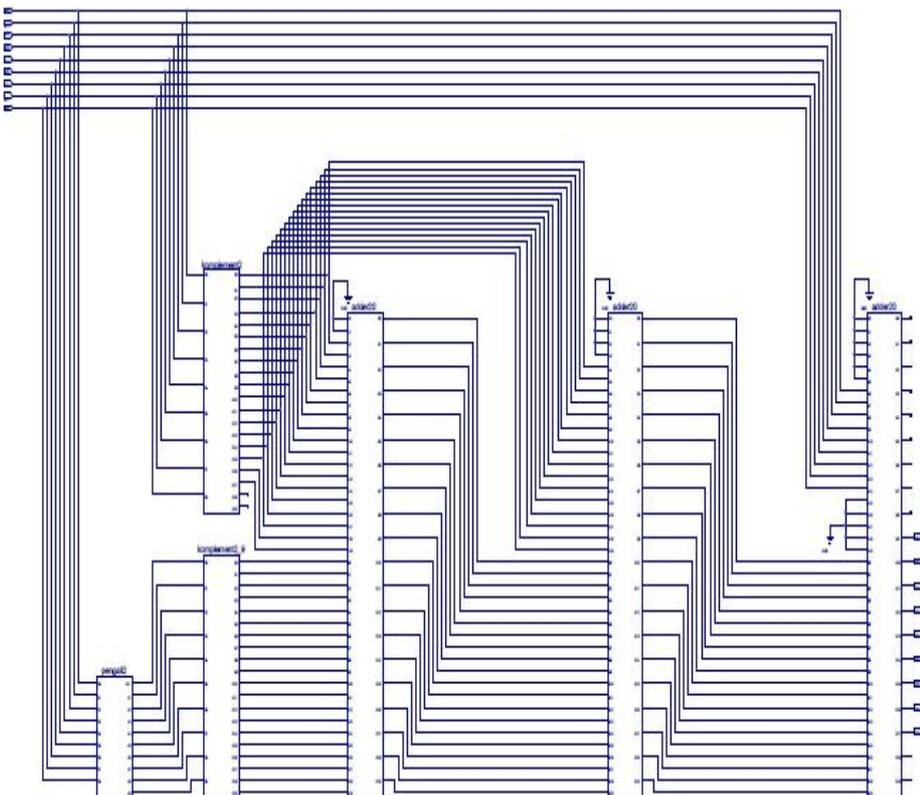
Bit Pair Recoding
Adder 20 bit



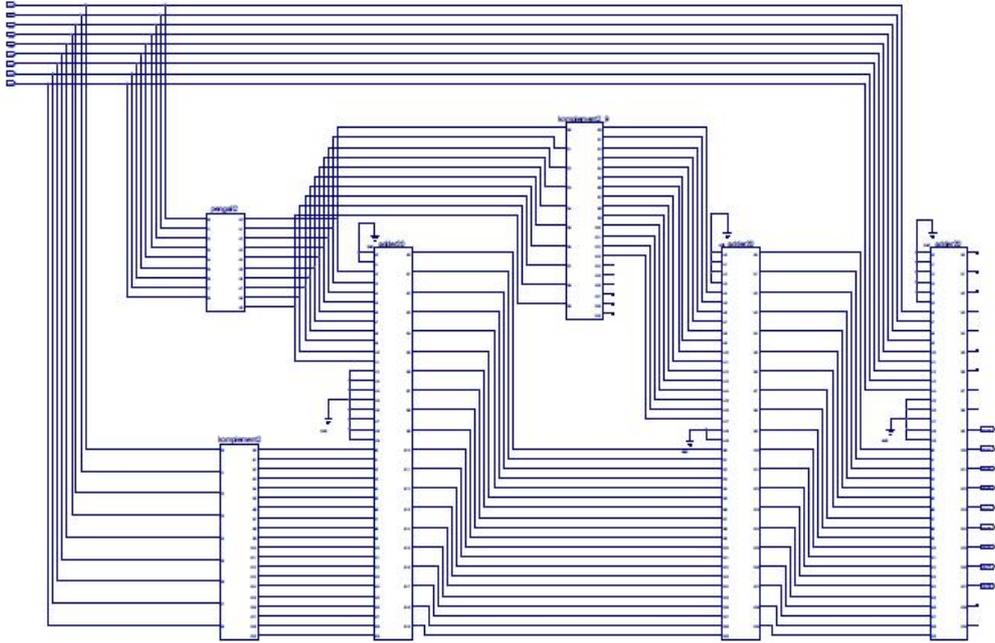
Bit Pair Recoding
Koefisien 1 (0,08333)



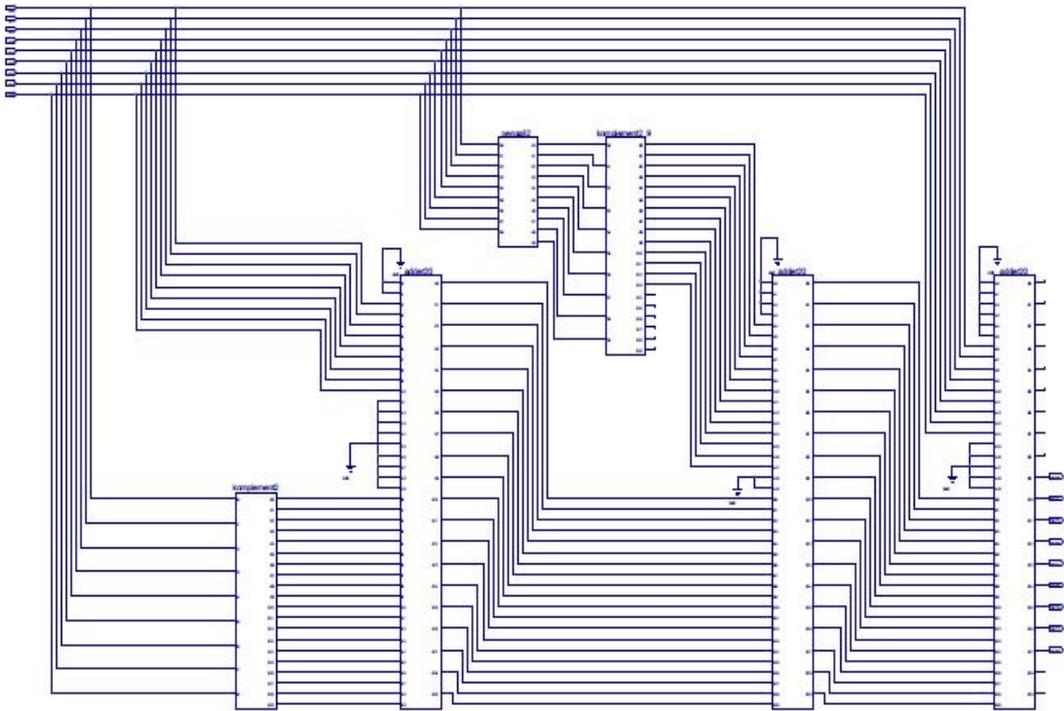
Bit Pair Recoding
Koefisien 2 (0,08165)

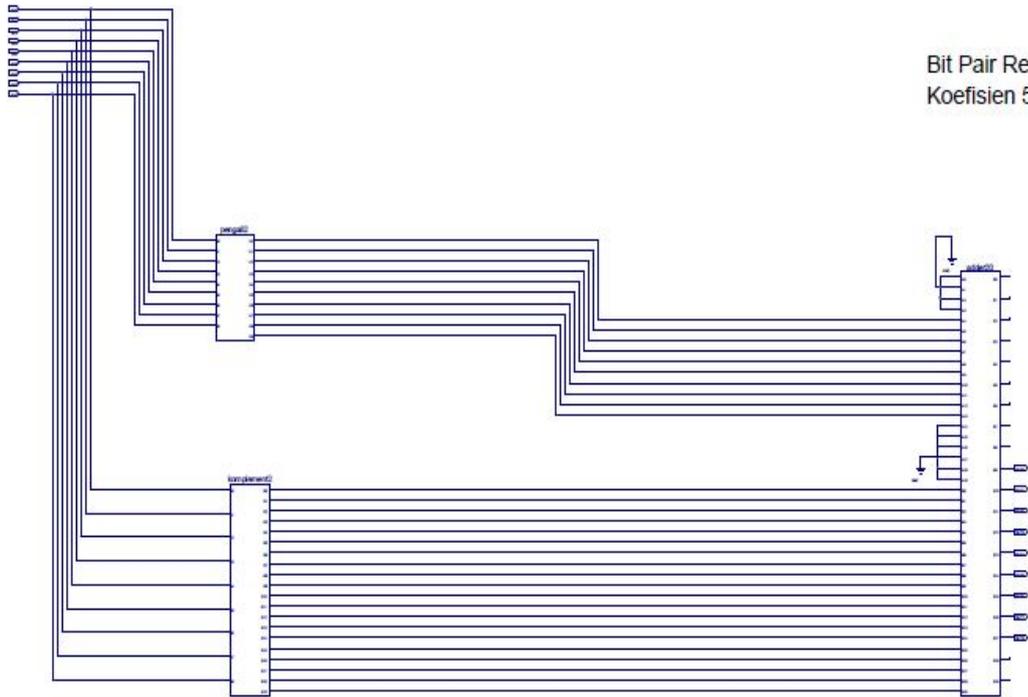


Bit Pair Recoding
Koefisien 3 (0,07679)

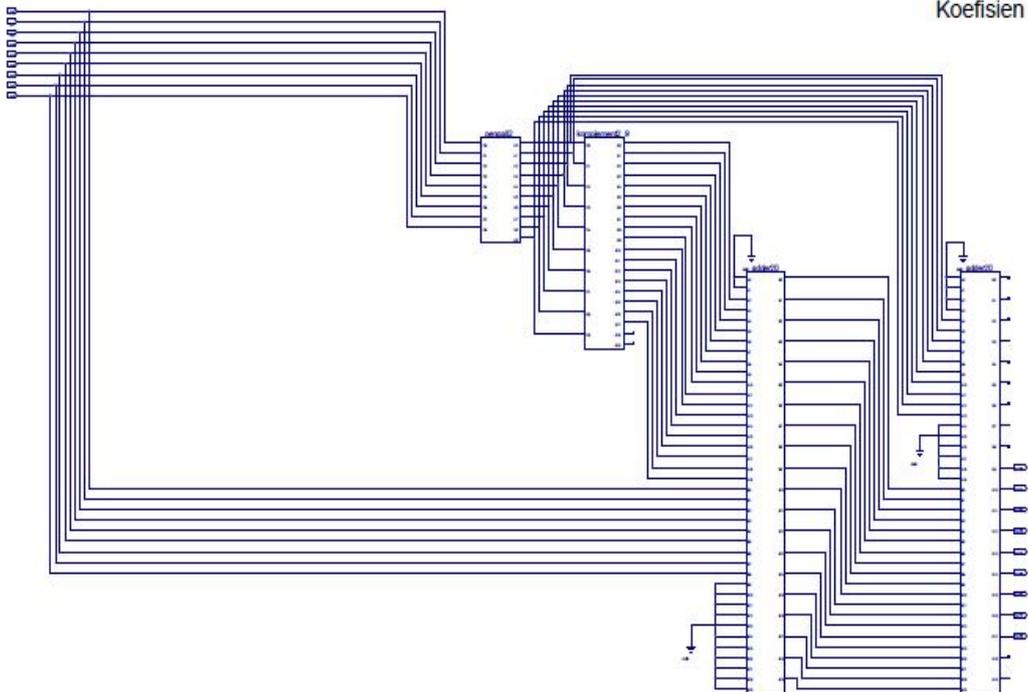


Bit Pair Recoding
Koefisien 4 (0,06921)



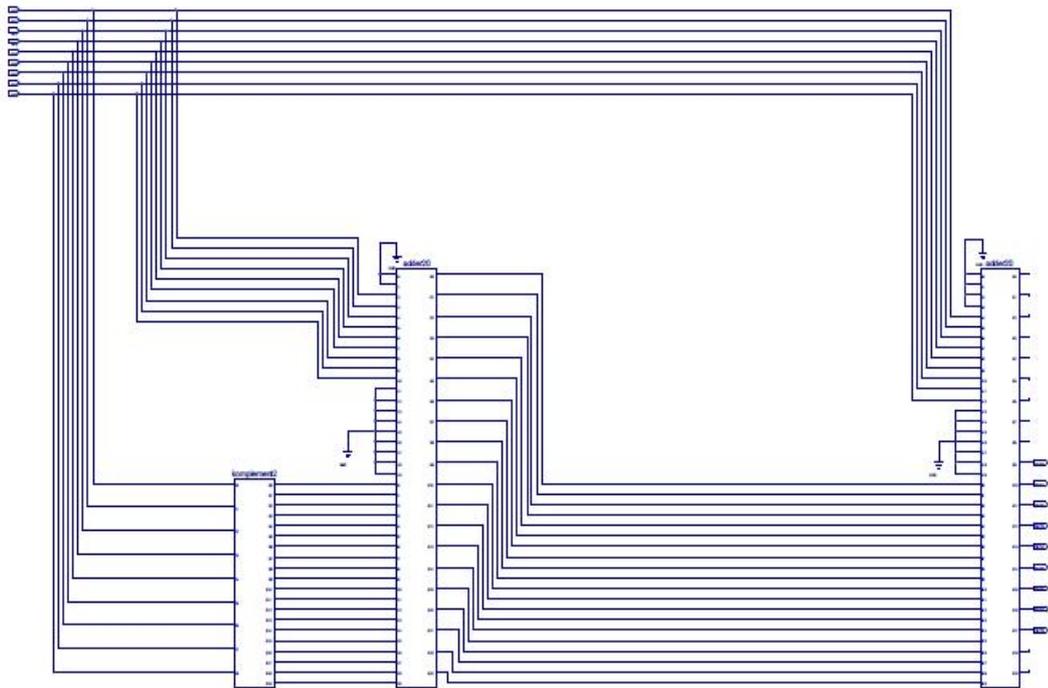


Bit Pair Recoding
Koefisien 5 (0,05963)

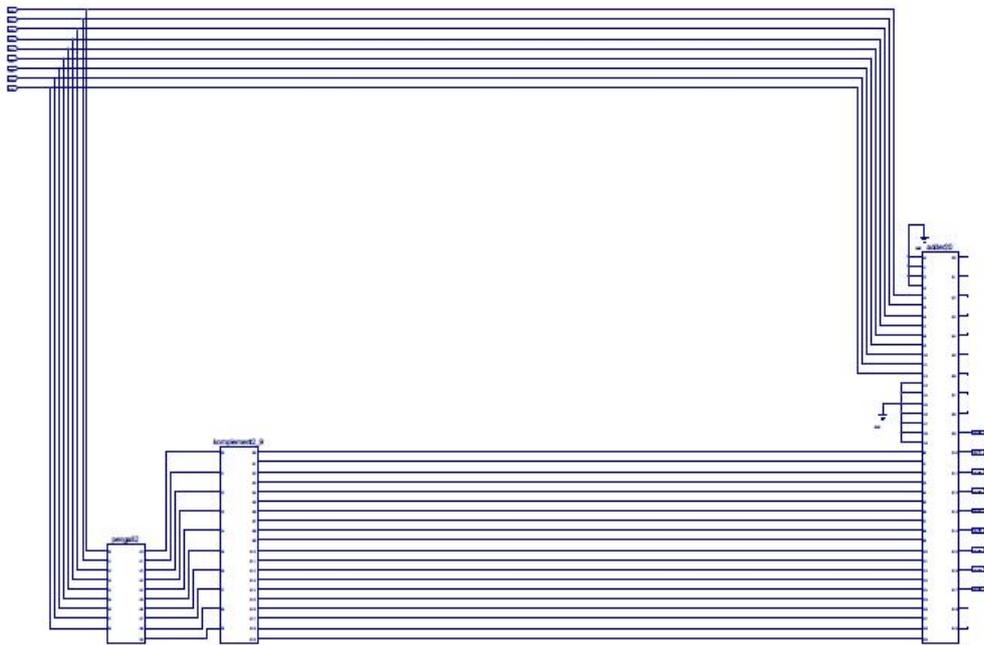


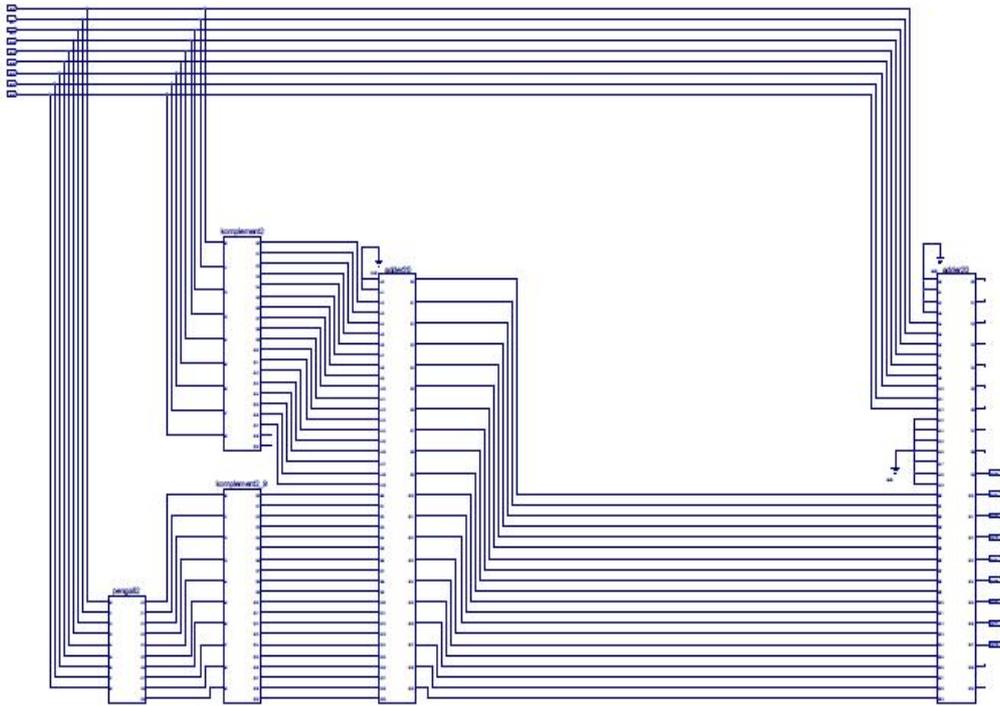
Bit Pair Recoding
Koefisien 6 (0,04892)

Bit Pair Recoding
Koefisien 7 (0,03982)



Bit Pair Recoding
Koefisien 8 (0,02764)





**PERANCANGAN TAPIS DIGITAL
SINYAL ELECTROCARDIOGRAM (ECG)
PADA ALAT MONITOR DETAK JANTUNG**

**DIGITAL FILTER DESIGN
ELECTROCARDIOGRAM (ECG) SIGNAL
FOR HEART RATE MONITOR**

Denny Dermawan¹⁾, M. Jalu Purnomo²⁾

¹⁾ T. Elektro Sekolah Tinggi Teknologi Adisutjipto

²⁾ T. Penerbangan Sekolah Tinggi Teknologi Adisutjipto
Jln. Janti Blok R Lanud Adisutjipto, Yogyakarta

dennydermawanstta@gmail.com

Jalu_p@yahoo.com

ABSTRACT

Digital filter that was designed and implemented is a finite impulse response (FIR) low pass digital filter with hamming windowing method.

This research steps : design finite impulse response low pass analog filter, design finite impulse response low pass digital filter, digital filter simulation and downloading the result from simulation to the XILINX SPARTAN II FPGA.

Implementation of digital filter coefficient is based on bit pair recoding algorithm because this algorithm have a shortest delay time according to the other algorithms (booth and paper & Pencil)

Simulation tool used in this research is ModelSim Xilinx Edition II ver 5.7c starter edition (MXE II v5.7c). The result of simulation is downloaded to the SPARTAN II FPGA that mounting on the XSA-100 Board from XESS Corp. Observation is done for various amplitude of input signal and analysis is done for : delay time, CLB used and error presentation due to rounding in the implementation of digital filter coefficient.

Keywords : FIR low pass filter, Hamming window, simulation, FPGA

1. PENDAHULUAN

1.1 Latar Belakang

Implementasi tapis digital FIR (*Finite Impulse Response*) menggunakan FPGA telah banyak dilakukan antara lain adalah implementasi tapis digital FIR dengan pendekatan bit serial dan tapis FIR dengan aritmatika terdistribusi. Tapis FIR memerlukan metode penjendelaan (*windowing*) dalam realisasinya.

Koefisien yang muncul pada implementasi tapis digital FIR diwujudkan dengan perkalian biner. Banyak algoritma yang dapat digunakan untuk realisasi perkalian biner antara lain algoritma *paper & pencil*, *booth* dan *bit pair recoding*.

Pada penelitian ini akan dirancang tapis digital pelewat frekuensi rendah *low pass filter* (LPF) dengan penjendelaan Hamming yang akan diimplementasikan kedalam keping FPGA buatan Xilinx dengan seri SPARTAN II XC2S100 FPGA. Salah satu metode yang digunakan untuk implementasi rangkaian

elektronika dengan menggunakan FPGA yaitu dengan merubah gambar untai elektronik digital dari perangkat lunak penggambar *Integrated Software Environment* versi 6.3i (ISE 6.3i), buatan Xilinx, menjadi *file bit stream* dan dikonfigurasi secara perangkat keras seperti yang dirancang dalam perangkat lunak perancang ISE 6.3i.

1.2 Kajian Pustaka

Antoniou A., (1979) mengatakan bahwa implementasi *hardware* tapis digital dapat dibuat dalam berbagai bentuk, tergantung pada derajat keinginan dari dedikasi dan spesialisasi. Implementasi dapat diterapkan pada komputer yang dirancang dengan kegunaan khusus ataupun diterapkan pada *hardware* yang dirancang khusus untuk penapisan.

Gafar A., (2002), menyatakan bahwa tapis digital FIR pelewat frekuensi rendah dapat dibuat dengan metode penjendelaan *Blackman* berbasis FPGA. *Design entry* yang

digunakan adalah skematik dengan mengambil *library* dari Xilinx seri XC4013.

Putra A. E., (1997) menyatakan bahwa tapis digital FIR 16 tap dapat dibuat dengan masukan VHDL, baik *behaviour* maupun *structural*. Perbandingan *entry design behaviour* dan *structural* memberikan hasil bahwa *entry structural* memberikan hasil yang lebih cepat dibanding *behaviour*.

1.3 Landasan teori Metode Penjedelaan

Perancangan tapis digital FIR (*Finite Impulse Response*) tidak terlepas dari metode penjedelaan. Metode penjedelaan dibutuhkan untuk membatasi *infinite impulse response* yang muncul. Beberapa metode penjedelaan yang banyak digunakan adalah *rectangular*, *Bartlett*, *Hanning*, *Hamming*, dan *Blackman window*.

2. Metode Penelitian Bahan & Alat Penelitian

Bahan penelitian yang digunakan dalam penelitian ini berupa perangkat keras dan perangkat lunak yang meliputi : Spartan II FPGA seri XC2S100-TQFP144 Xilinx dalam sebuah papan XSA-100, ADC 0809 dan DAC 0808, *Monolithic sample and hold* seri LF 398N, *Op-Amp* LF 353 dan LM 741, *Xilinx Integrated Service Environment WebPACK* versi 6.3i (*Xilinx ISE WebPACK v6.3i*) dari Xilinx Inc, *ModelSim Xilinx Edition II* versi 5.7c *starter edition* (MXE II v5.7c) yang digunakan sebagai alat bantu untuk melakukan simulasi pada Xilinx ISE 6.3i, komputer dengan spesifikasi P III 800 MHz RAM 128 MB, sebagai alat untuk menggambar untai logika menggunakan ISE 6.3i dan simulasi dengan *ModelSim Xilinx Edition II*, rangkaian catu daya +5Volt dan -5 Volt, osiloskop *dual trace* 20 MHz Hung Chang 6502, *sweep function generator* Aron 8205A dan pencacah frekuensi 30 MHz

3. Jalan penelitian

3.1 Perancangan tapis LPF digital FIR dengan penjedelaan Hamming

Pada penelitian ini, akan dirancang sebuah tapis digital pelewat rendah (LPF), FIR (*Finite Impuls response*) dengan metoda penjedelaan *Hamming* yang mempunyai spesifikasi sebagai berikut :

- Batas tepi frekuensi passband (f_p)
50 Hz
- Batas tepi frekuensi *stopband* (f_s)
75 Hz
- Stopband attenuation* > 50 dB
- Frekuensi cuplik 1,5 KHz

- Pass Band ripple*, δ 0,06
- Stop Band ripple*, δ_2 0,3

Dari spesifikasi tersebut diatas maka dapat ditentukan besarnya lebar dari *transition band*, Δf adalah sebagai berikut

$$\begin{aligned}\Delta f &= f_s - f_p = 75 - 50 \text{ Hz} \\ &= 25 \text{ Hz}\end{aligned}$$

Cut-off frequency dapat diperoleh sebagai berikut :

$$f_c = f_s + \Delta f / 2 = (50 + 25 / 2) = 62,5 \text{ Hz}$$

Nilai Δf , f_s , f_p dan f_c adalah dalam kawasan frekuensi analog, sehingga perlu diubah dalam kawasan frekuensi digital terlebih dahulu [Ludeman, hal 202].

$$\Omega_i = 2 \pi f_i$$

$$\omega_i = \Omega_i T_{\text{samp}} = \frac{2 \pi f_i}{f_{\text{samp}}} \quad (1)$$

dengan frekuensi cuplik, f_{samp} sebesar 1,5 KHz, maka

dalam kawasan digital :

$$\omega_p = \frac{2 \pi 50}{1500} = \frac{1}{15} \pi \text{ rad},$$

$$\omega_s = \frac{2 \pi 75}{1500} = \frac{1}{10} \pi \text{ rad},$$

$$\omega_c = \frac{2 \pi 62,5}{1500} = \frac{1}{12} \pi \text{ rad}$$

$$\Delta f = \omega_s - \omega_p = \frac{1}{30} \pi \text{ rad}$$

Jumlah koefisien tapis FIR dapat diperoleh dengan pendekatan rumus empiris sebagai berikut [Champagne B., Labeau F., hal 197]

$$N = \frac{-10 \log_{10} (\delta_1 \delta_2) - 13}{2,324(\omega_s - \omega_p)} \quad (2)$$

sehingga

$$N = \frac{-10 \log_{10}(0,06 \cdot 0,3) - 13}{2,324 ((1/30) \pi \text{ rad})}$$

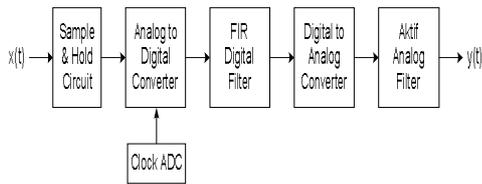
$$= 18,27369$$

N adalah ganjil sehingga dipilih N = 19.

Tanggapan denyut $h_n(n)$ tapis digital LPF dengan jendela Hamming diperlihatkan pada tabel 1.

3.2 Blok diagram perancangan sistem

Blok diagram realisasi tapis digital FIR yang akan diimplementasikan dalam keping FPGA Spartan II diperlihatkan pada gambar 1.



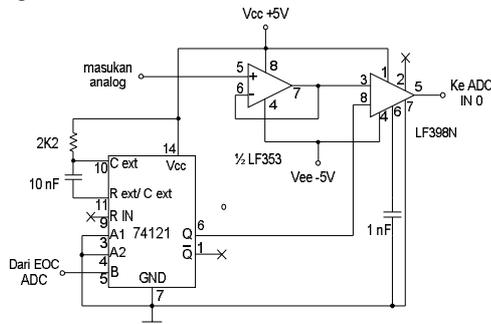
Gambar 1. Blok diagram tapis digital FIR

Tabel 1. Koefisien tapis digital implementasi

n	$h_D(n)$	$w_{Ham}(n)$	$h_n(n) = h_D(n)$	n
0	0,08333	1	0,08333	0
-1	0,08238	0,99116	0,08165	1
-2	0,07958	0,96498	0,07679	2
-3	0,07503	0,92248	0,06921	3
-4	0,06892	0,86527	0,05963	4
-5	0,06149	0,79556	0,04892	5
-6	0,05305	0,71603	0,03798	6
-7	0,04392	0,62974	0,02764	7
-8	0,03446	0,54000	0,01861	8

3.2.1 Sample & hold circuit

Rangkain *sample & hold* diperlihatkan pada gambar 2.



Gambar 2. Rangkaian *sample & hold*

Waktu akuisisi data untuk LF 398N (dengan kapasitor 1 nF) adalah sebesar 4 μ s.

Periode waktu keluaran 74121 (dengan nilai R = 2K2 dan C = 10nF) adalah :

$$T_p = 0,7 \times R \times C = 2200 \times 10 \times 10^{-9}$$

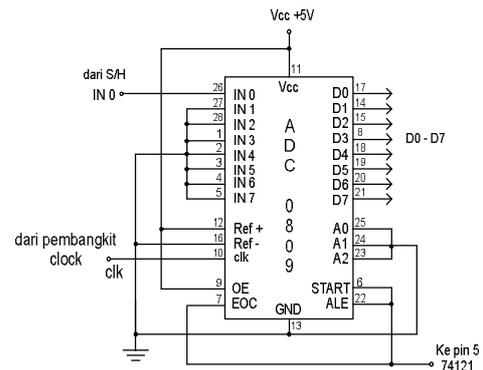
$$= 15,4 \mu\text{s}$$

Nilai T_p telah memenuhi syarat yaitu harus lebih besar dari nilai akuisisi LF398N.

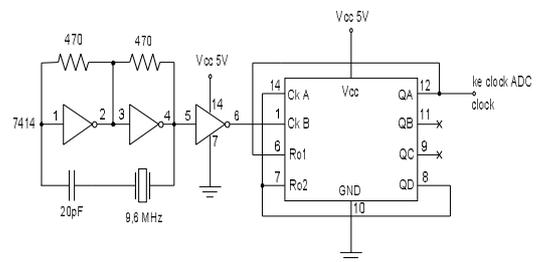
3.2.2 Pengubah Analog ke digital dan pembangkit clock

Keluaran ADC0809 diberikan sebagai masukan FPGA. Rangkaian pengubah analog ke digital ditunjukkan pada gambar 3.

Pembangkit *clock* yang digunakan pada penelitian ini diperlihatkan pada gambar 4 yang menghasilkan keluaran sebesar 9,6 MHz / 9 yaitu 1067 KHz.



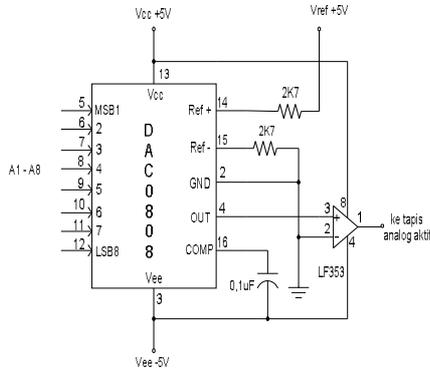
Gambar 3. Rangkaian pengubah analog ke digital.



Gambar 4. Rangkaian pembangkit *clock* ADC.

3.2.4 Pengubah digital ke analog

Rangkaian pengubah digital ke analog diperlihatkan pada gambar 5.

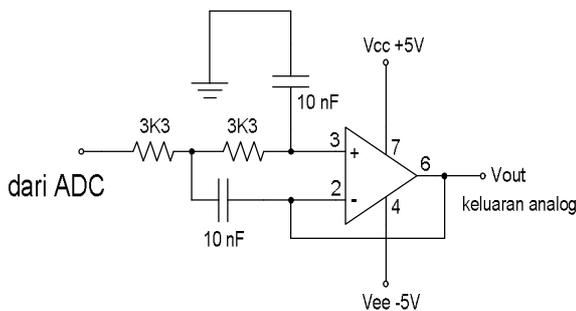


Gambar 5. Rangkaian DAC0808

Tegangan keluaran diperoleh dengan mengubah arus keluaran menjadi tegangan melalui sebuah penguat operasional LF353. Keluaran pengubah digital ke analog ini diberikan ke tapis analog aktif untuk lebih memperhalus sinyal analog keluaran DAC.

3.2.5 Tapis analog aktif

Rangkaian tapis analog ini diperlihatkan pada gambar 6.



Gambar 6. Rangkaian tapis analog aktif

Frekuensi *cut-off* rangkaian tapis analog (dengan $R = 3K3$ dan $C = 6,8nF$) :

$$f_c = \frac{1}{2\pi RC} = 7092,47 \text{ Hz}$$

3.2.6 Koefisien pengali.

Implementasi rangkaian pengali ini menggunakan algoritma *booth bit pair recoding* (Cavanagh, 1985). Nilai – nilai koefisien implementasi adalah 0,08333,

0,08165, 0,07679, 0,06921, 0,05963, 0,04892, 0,03798, 0,02764, 0,01861.

Koefisien pengali mempunyai nilai pecahan, untuk mengimplementasikannya dalam perkalian (biner) maka nilai pecahan ini harus diubah terlebih dahulu menjadi nilai integer yaitu dengan metode mengalikannya nilai pecahan tersebut dengan sebuah bilangan 2^9 (512_{10}). Nilai 2^9 ini dipilih karena nantinya hasil perkalian integer ini dilakukan pembulatan dengan cara pemotongan langsung 9 buah bit mulai dari LSB, tentu saja hasil perkalian pecahan ini menjadi tidak akurat, tetapi inilah metode pendekatan yang dipilih.

Nilai koefisien yang telah dikalikan dengan 2^9 dalam bentuk integer dan biner diperlihatkan pada tabel 2.

4. Hasil dan Pembahasan

Koefisien pengali yang digunakan adalah algoritma *bit pair recoding*, dan sebagai bahan perbandingan juga disajikan data hasil dari implementasi menggunakan algoritma *booth* dan algoritma *paper & pencil*.

Analisa hasil penelitian dititik beratkan pada perbandingan *maximum combinational path delay* dan penggunaan *Slices* hasil implementasi tapis digital untuk algoritma *paper & Pencil*, *Booth* dan *Bit pair recoding*.

Tabel 3 memperlihatkan hasil perbandingan *maximum combinational path delay* untuk algoritma *paper & pencil*, *booth* dan *bit pair recoding*.

Tabel 2. Koefisien pengali dalam bilangan integer dan biner

N	Koefisien (pecahan)	Koef. x 2^9 (512_{10})	Pembulatan	Kode biner hasil pembulatan (9 bit)
1	0,08333	42,664	43	0001010
2	0,08165	41,804	42	0001010
3	0,07679	39,316	39	0001001
4	0,06921	35,435	35	0001000
5	0,05963	30,530	31	0000111
6	0,04892	25,047	25	0000110
7	0,03798	19,445	19	0000100
8	0,02764	14,151	14	0000011
9	0,01861	9,5283	10	0000010

Tabel 3. Perbandingan *maximum combinational path delay* untuk algoritma *Paper & Pencil*, *Booth* dan *Bit pair recoding*.

	<i>Maximum combinational path delay</i> untuk Algoritma <i>Paper & Pencil</i> (nS)	<i>Maximum combinational path delay</i> untuk Algoritma <i>Booth</i> (nS)	<i>Maximum combinational path delay</i> untuk Algoritma <i>Bit pair recoding</i> (nS)
Koef 1	57,800	33,677	22,952
Koef 2	57,800	33,008	26,318
Koef 3	57,800	29,187	23,271
Koef 4	57,800	29,187	23,201
Koef 5	57,800	21,877	16,548
Koef 6	57,800	33,026	23,231
Koef 7	57,800	30,988	19,725
Koef 8	57,800	21,877	20,104
Koef 9	32,243	26,577	23,281

Tabel 3 menunjukkan bahwa algoritma *Bit pair recoding* membutuhkan waktu *delay* yang paling singkat. Apabila waktu *delay* ini dipresentase terhadap algoritma *Paper & pencil* maka algoritma *Booth* memiliki waktu *delay* 94,87 % lebih cepat dan algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat dari algoritma *Paper & pencil*.

Banyaknya *slices* yang digunakan untuk algoritma *paper & pencil*, *booth* dan *bit pair recoding* diperlihatkan pada tabel 4.

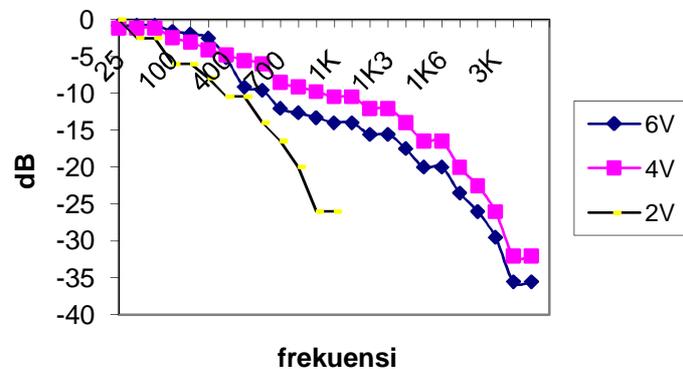
Tabel 4. Perbandingan penggunaan *Slices* untuk Algoritma *paper & Pencil*, *Booth* dan *bit pair recoding*.

	Algoritma <i>Paper & Pencil</i>		Algoritma <i>Booth</i>		Algoritma <i>Bit pair recoding</i>	
	<i>slices</i> (dari 1200)	prosen	<i>Slices</i> (dari 1200)	prosen	<i>Slices</i> (dari 1200)	prosen
	32	2 %	44	3	40	3 %
Ko 2	32	2 %	44	3	50	4 %
Ko 3	32	2 %	28	2	50	4 %
Ko 4	32	2 %	28	2	50	4 %
Ko 5	32	2 %	16	1	20	1 %
Ko 6	32	2 %	28	2	30	2 %
Ko 7	32	2 %	28	2	30	2 %
Ko 8	32	2 %	16	1	20	1 %
Ko 9	28	2 %	32	2	40	3 %
rata-rata	2 %		2		2,67 %	

Tabel 4 menunjukkan bahwa banyaknya *slice* rata-rata yang digunakan pada algoritma *Paper & pencil* adalah 2 %, sedangkan banyaknya *slice* rata-rata yang digunakan pada algoritma *Booth* adalah sebesar 2 % dan untuk algoritma *Bit pair recoding* menggunakan *slice* rata-rata sebanyak 2,67 %.

Masukan tapis digital ini berasal dari *sweep frequency generator* yang membangkitkan sinyal sinus dari 25 Hz sampai dengan 5000 Hz, dengan amplitudo bervariasi antara 2 - 6 Vp-p. Masukan dan keluaran tapis digital diamati menggunakan osiloskop *dual trace*.

Pada gambar 7 tampak bahwa tanggapan frekuensi yang paling bagus untuk tapis hasil rancangan adalah pada tegangan masukan 2 Vp-p.



Gambar7. Tanggapan frekuensi tapis digital FIR

KESIMPULAN DAN SARAN

C. KESIMPULAN

Berdasarkan hasil penelitian dan pembahasan yang telah dilakukan maka dapat diambil kesimpulan sebagai berikut :

1. Tapis digital *finite impulse response* dengan penjedelehan Hamming telah dirancang dan diimplementasikan kedalam FPGA dan dapat bekerja sesuai dengan rancangan.
2. Besarnya prosentase kesalahan rata-rata akibat adanya pembulatan koefisien pengali adalah sebesar 10,77 % (*bit pair recoding*), 11,06 % (*booth*) dan 11,55 % (*paper & pencil*)
3. Koefisien pengali diimplementasikan dengan algoritma *bit pair recoding* yang memiliki waktu *delay* yang paling singkat. Apabila waktu *delay* ini dibandingkan terhadap algoritma *Paper & pencil* maka algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat

- sedangkan algoritma *Booth* memiliki waktu *delay* 94,87% lebih cepat.
4. Banyaknya *Slices* rata-rata yang digunakan pada implementasi tapis digital ini adalah sebesar 2,67% (*bit pair recoding*) sedangkan untuk algoritma *booth* dan *paper & pencil* adalah sebesar 2%.
 5. Tanggapan frekuensi tapis digital diuji terhadap beberapa tegangan masukan yang mempunyai amplitudo 2, 4 dan 6 V_{p-p}, dan hasil menunjukkan bahwa tanggapan frekuensi paling baik terhadap tegangan masukan yang kecil (2 Volt p-p).

D. SARAN

Beberapa saran dapat dikemukakan pada penelitian ini untuk dijadikan dasar dalam melakukan penelitian selanjutnya sebagai berikut :

3. Jumlah tap pada perancangan tapis dapat ditambah untuk lebih memperhalus hasil rancangan, tetapi hal ini mempunyai konsekuensi terhadap jumlah komponen-komponen yang juga bertambah banyak , sedangkan jumlah gerbang pada FPGA adalah terbatas.
4. Komponen-komponen analog dapat diperbaiki unjuk kerjanya dengan menggantinya menggunakan rancangan yang lebih baik, misalnya pada tapis analog aktif , dapat diganti dengan tapis analog dengan orde yang lebih tinggi untuk meningkatkan performanya.

DAFTAR PUSTAKA

- Cavanagh J.J.F., 1985, "*Digital Computer Arithmetic*", McGraw-Hill Book Company.
- Champagne B., Labeau F., 2004," *Filter Design*", Chapter 9, McGraw-Hill Book Company.
- Gafar A., 2002, " *Perancangan tapis digital FIR pelewat rendah dengan penjedelaan Blackman berbasis FPGA* ", Teknik Elektro Universitas Gadjah Mada.
- Kuc R., 1982, "*Introduction to digital signal processing*", McGraw-Hill Book Company.
- Ludeman L.C., 1986, "*Fundamentals of Digital Signal Processing*", Harper & Row Publisher.