

LAPORAN PENELITIAN
INTERNAL STTA TAHUN 2018



PERANCANGAN COUNTER 4 BIT DAN LED DEKODER
PADA RADIO DIRECTION FINDER MENGGUNAKAN
XILINX SPARTAN 2 FPGA

Oleh :

Denny Dermawan, S.T., M.Eng

Dibiayai melalui Dana Penelitian Internal STTA
Tahun Anggaran 2017/2018

DEPARTEMEN TEKNIK ELEKTRO
SEKOLAH TINGGI TEKNOLOGI ADISUTJIPTO
YOGYAKARTA
November 2018

HALAMAN PENGESAHAN

1. Judul Penelitian : Perancangan counter 4 bit dan led dekoder Pada radio detection finder menggunakan Xilinx Spartan 2 FPGA
2. Bidang Penelitian : Teknik Elektro
3. Ketua Peneliti
 - a. Nama Lengkap : Denny Dermawan, S.T., M.Eng
 - b. Jenis Kelamin : Laki-laki
 - c. NIP/NIDN : 19711111 200501 1 001 / 0011117101
 - d. Pangkat/Golongan : Penata Muda / IIIa
 - e. Jabatan : Asisten Ahli
 - f. Perguruan Tinggi : Sekolah Tinggi Teknologi Adisutjipto (STTA)
 - g. Program Studi : Teknik Elektro
 - h. Status Dosen : Dosen DPK
4. Jumlah Tim Peneliti : 1 orang
5. Lokasi Penelitian : Laboratorium Elektronika STTA
6. Jumlah Biaya dari STTA : Rp. 2.100.000,-
(Dua Juta Seratus Ribu Rupiah)

Yogyakarta, 30 November 2018

Kepala Departemen
Teknik Elektro




Freddy Kurnizwan, S.T., M.T
NIK: D10301031

Ketua Peneliti



Denny Dermawan, S.T.M.Eng
NIP: 19711111 200501 1 001

Mengetahui
Kepala P3M STTA




Dr. Otto Dinaryanto, S.T., M.M., M.Eng
NTK : 10202008

PERANCANGAN COUNTER 4 BIT DAN LED DEKODER PADA RADIO DETECTION FINDER MENGGUNAKAN XILINX SPARTAN 2 FPGA

Denny Dermawan

Departemen Teknik Elektro Sekolah Tinggi Teknologi Adisutjipto
Jl. Janti Blok R kompleks Lanud Adisutjipto Yogyakarta
Telp. (0274) 451262, Fax. (0274) 451265
Email : dennydermawanstta@gmail.com

Abstrak

Led decoder adalah suatu piranti elektronik yang berfungsi untuk mengubah suatu kombinasi masukan menjadi kombinasi keluaran tertentu yang akan ditampilkan melalui sekumpulan lampu led. Led decoder yang digunakan untuk penelitian ini adalah pengubah kombinasi biner 4 bit dari counter menjadi sekumpulan tampilan led yang bersesuaian dengan masukan dari counter. Pada dasarnya led dekoder yang digunakan adalah sebuah demultiplexer dari 4 ke 16. Integrated Circuit (IC) kegunaan khusus yang digunakan sebagai counter dan led decoder dari seri TTL adalah 74 HC161 untuk counter dan 74HC451 untuk led dekoder.

Ketersediaan IC kegunaan khusus kadang kala terbatas, karena sudah tidak diproduksi lagi sehingga menghilang dari pasaran, sehingga dalam penelitian ini akan dirancang rangkaian counter 4 bit dan led dekoder dalam sebuah keping Field Programmable Gate Array (FPGA) Sparta2 tipe Xc2S100 pada papan XSA-100 dari Xess Corp, dengan desain masukan menggunakan skematik. Penelitian meliputi perancangan counter 4 bit dan led decoder menggunakan skematik, simulasi hasil rancangan menggunakan perangkat lunak ISim dan unduh program ke dalam Xilinx Spartan 2 FPGA. Simulasi dilakukan dengan memberikan frekuensi masukan dari audio frequency generator dan mengamati hasil keluaran secara grafis yang dihasilkan oleh ISim.

Hasil Simulasi menunjukkan bahwa perancangan skematik rangkaian counter 4 bit dan led dekoder sudah sesuai dengan yang diharapkan. Waktu tunda maksimum (maximum path delay) yang dihasilkan adalah sebesar 25,128 nS.

Kata kunci : Counter, multiplexer, FPGA Spartan2 XC2s100

KATA PENGANTAR

Alhamdulillahirabbil'aalamiin. Berkat rahmat Allah yang maha Kuasa akhirnya penulis dapat menyelesaikan penelitian dengan judul perancangan counter 4 bit dan led dekoder pada radio detection finder menggunakan Xilinx Spartan 2 FPGA. Penulis sangat menyadari bahwa hanya atas ijin Allah-lah yang menjadikan penelitian ini dapat diselesaikan.

Pada kesempatan ini penulis mengucapkan terima kasih kepada yang terhormat :

1. Marsda TNI (Purn) Dr. Ir. Drs. T. Ken Darmastono ,M.Sc selaku Ketua STTA yang telah memberikan ijin penelitian dan telah memberikan bantuan dana penelitian mendukung penelitian ini.
2. Kepala LP3M STTA yang telah menyetujui penelitian ini.
3. KaDep dan SekDep jurusan Teknik Elektro STTA yang mendukung penelitian ini.
4. Seluruh Dosen dan Staff STTA.
5. Freddy Kurniawan, ST, MT sebagai Dosen pada Program Studi Teknik Elektro, Sekolah Tinggi Teknologi Adisutjipto selaku pemberi rekomendasi pada penelitian ini.
6. Semua pihak yang secara langsung maupun tidak langsung telah memberikan bantuan dalam terlaksananya penelitian ini.

Semoga Allah SWT memberi Rahmat dan hidayah-Nya kepada semua pihak yang telah membantu penulis dalam proses penyelesaian penelitian ini.

Penulis menyadari, bahwa dalam penelitian ini masih jauh dari sempurna, akan tetapi Insya Allah penelitian ini dapat bermanfaat bagi yang memerlukannya.

Yogyakarta, 30 November 2018

Penulis

Denny Dermawan, S.T., M.Eng

SURAT KETERANGAN PERPUSTAKAAN

Yang bertanda tangan dibawah ini :

Nama : Hero Wintolo, S.T., M.Kom

Jabatan : Kepala Perpustakaan

Unit Kerja/ PTS : Perpustakaan STTA

Menerangkan bahwa telah menerima hasil penelitian Denny Dermawan, S.T., M.Eng dengan judul "Perancangan counter dan led dekoder pada radio detection finder menggunakan Xilinx Spartan 2 FPGA" digunakan sebagai Buku Pustaka dan Bahan Bacaan di Perpustakaan Sekolah Tinggi Teknologi Adisutjipto Yogyakarta.

Demikian untuk dapat dipergunakan sebagaimana mestinya.

Yogyakarta, 30 November 2018

Perpustakaan STTA

Kepala



Hero Wintolo, S.T., M.Kom.

DAFTAR ISI

HALAMAN JUDUL	i
LEMBAR PENGESAHAN	ii
ABSTRAK.....	iii
KATA PENGANTAR	iv
SURAT KETERANGAN PERPUSTAKAAN	v
DAFTAR ISI	vi
DAFTAR GAMBAR	x
DAFTAR TABEL	xii
BAB I PENDAHULUAN	1
BAB II TINJAUAN PUSTAKA	4
2.1. Kajian Pustaka	4
2.2. Landasan Teori.....	6
2.3. Cara Kerja Doppler RDF	9
2.4. Software Xilinx ISE Webpack 10.1.....	10
BAB III METODOLOGI PENELITIAN	14
3.1. Alat dan Bahan Penelitian	14
3.2. Diagram Alir Penelitian.....	14
3.3. Desain counter 4 bit dan led dekoder.....	15
3.4. ISE project navigator	16
3.5. Perancangan counter 4 bit dan multiplexer 4 ke 16.....	22
BAB IV HASIL DAN PEMBAHASAN	29
4.1. Hasil pengujian rangkaian counter 4 bit	30
4.2. Hasil pengujian rangkaian multiplexer 4 ke 16	31
4.3. Hasil pengujian rangkaian counter dan multiplexer	34
BAB V PENUTUP	41
5.1. Kesimpulan	41
5.2. Saran	41
DAFTAR FUSTAKA.....	42

DAFTAR GAMBAR

Gambar 2.1 Frekuensi Rotasi Antenna Doppler.....	7
Gambar 2.2 Blok Diagram Radio Doppler	10
Gambar 2.3 Link untuk unduh ISE WebPACK 10.1	11
Gambar 2.4 Halaman pilihan software yang ingin diunduh	12
Gambar 2.5 Halaman untuk unduh software ISE WebPACK 10.1	13
Gambar 3.1 Diagram alir penelitian.....	15
Gambar 3.2 Blok diagram perancangan	16
Gambar 3.3 Jendela empty project ISE Project Navigator	17
Gambar 3.4 <i>New Project Wizard</i>	18
Gambar 3.5 Jendela device properties	19
Gambar 3.6 <i>Creating dan adding source files</i>	20
Gambar 3.7 Jendela akhir New Project Wizard	21
Gambar 3.8 Source pane untuk project baru	22
Gambar 3.9 Rangkaian counter 4 bit.....	22
Gambar 3.10 Timing diagram counter 4 bit	23
Gambar 3.11 Rangkaian multiplexer 4 ke 16.....	25
Gambar 3.12 Menambahkan file VHDL ke project baru	25
Gambar 3.13 Schematic untuk proyek.....	26
Gambar 3.14 Proyek.sch tempat menggambar rangkaian perancangan	27
Gambar 3.15 Rangkaian counter 4 bit dan multiplexer 4 ke 16.....	28
Gambar 4.1 Rangkaian pengujian counter 4 bit.....	29
Gambar 4.2 Test bench waveform counter 4 bit	30
Gambar 4.3 Hasil simulasi counter 4 bit.....	32
Gambar 4.4 Rangkaian pengujian multiplexer 4 ke 16.....	32
Gambar 4.5 Test bench waveform multiplexer 4 ke 16	33
Gambar 4.6 Hasil simulasi multiplexer 4 ke 16.....	33
Gambar 4.7 Rangkaian pengujian counter 4 bit dan multiplexer 4 ke 16	35

Gambar 4.8 Test bench waveform counter 4 bit dan multiplexer 4 ke 16	36
Gambar 4.9 Hasil simulasi counter 4 bit dan multiplexer 4 ke 16.....	36
Gambar 4.10 Frekuensi masukan Fin.....	39
Gambar 4.11 Frekuensi keluaran multiplexer pada pin Q0...Q15.....	40

DAFTAR TABEL

Tabel 3.1	FPGA SPARTAN Family.....	19
Tabel 3.2	Tabel kebenaran counter 4 bit.....	23
Tabel 3.3	Tabel kebenaran multiplexer 4 ke 16.....	24
Tabel 4.1	Clock 8 kHz.....	31
Tabel 4.2	Tabel kebenaran multiplexer 4 ke 16.....	34
Tabel 4.3	Pad report.....	37
Tabel 4.4	Pad report sesuai keinginan perancang.....	38

BAB I

PENDAHULUAN

Penggunaan Handy Talky (HT) ini kadangkala perlu diketahui posisi penggunaanya untuk kepentingan tertentu. Agar dapat menentukan posisi dari pengguna HT ini, dibuatlah alat untuk mendeteksinya yaitu Radio direction finder (RDF). RDF adalah pesawat radio pencari arah yang dioperasikan melalui penerimaan gelombang elektromagnetik oleh pemancar yang dipancarkan oleh stasiun pemancar.

Antena pesawat Radio Direction Finder (RDF) akan menerima gelombang elektromagnetik yang dipancarkan oleh stasion pemancar. Oleh karena antena itu merupakan suatu penghantar yang baik maka gelombang elektromagnetik dari pemancar yang diterima oleh antena akan membangkitkan arus gelombang yang getarannya sama dengan getaran gelombang elektromagnetik dari pemancar.

Bila bidang bingkai antena searah dengan arah datangnya isyarat dari pemancar maka tegangan yang dijangkitkan dalam antena akan maksimum dan bila bidang bingkai antena diputar 90° tidak searah lagi dengan arah datangnya isyarat maka tidak ada tegangan yang terjangkit dalam antenna dan isyarat tidak akan terdengar isyarat yang diterima oleh antenna diteruskan ke kotak penerima dan arah pemancar akan berada pada suara yang terkeras. Karena petunjuk arah dihubungkan dengan antena maka arah datangnya isyarat dapat dibaca pada indikatornya.

Pada sistem dua bingkai, bingkai yang satu mengarah ke haluan dan buritan sedangkan yang lain ke sisi iri dan kanan pada kapal. Ujung masing-masing bingkai dihubungkan pada dua buah kumparan yang terpisahkan dan berkedudukan tegak lurus satu sama lain di dalam pesawat penerima. Bila pemancar berada antara dua bingkai itu maka kedua bingkai itu akan menghasilkan tegangan yang menimbulkan medan magnet. Tiap medan magnet akan menggambarkan sebagai vektor, jumlah vektor itulah menunjukkan arah tempat di mana pemancar berada.

Komponen – komponen penyusun radio detection finder ini antara lain adalah : pembangkit clock, counter 4 bit, , low pass filter, high pass filter, digital filter, zero crossing detector dan led dekoder.

Counter atau pencacah adalah piranti elektronik yang berfungsi sebagai rangkaian pembagi yang akan membagi frekuensi masukan (f) counter menjadi $f/2$, $f/4$, $f/8$ dan $f/16$ pada kasus counter 4 bit.

Led decoder adalah suatu piranti elektronik yang berfungsi untuk mengubah suatu kombinasi masukan menjadi kombinasi keluaran tertentu yang akan ditampilkan melalui sekumpulan lampu led. Led decoder yang digunakan untuk penelitian ini adalah pengubah kombinasi biner 4 bit dari counter menjadi sekumpulan tampilan led yang bersesuaian dengan masukan dari counter. Pada dasarnya led dekoder yang digunakan adalah sebuah demultiplexer dari 4 ke 16. Integrated Circuit (IC) kegunaan khusus yang digunakan sebagai led decoder ini dapat kita jumpai dengan mudah dipasaran, seri TTL yang ada di pasaran antara lain adalah 74HC4515 baik tipe SN maupun LS.

Field Programmable Gate Array (FPGA) adalah suatu piranti programmable devices (piranti yang dapat deprogram) yang dapat digunakan untuk mendesain rancangan elektronika. Salah satu kelebihan FPGA adalah FPGA mampu menerima berbagai macam design entry (masukan) yang beraneka ragam antara lain : VHDL, Verilog, State machine dan skematik yang tidak dimiliki oleh piranti terprogram yang lain.

FPGA yang digunakan dalam penelitian ini adalah Xilinx Spratan 2 FPGA yang terdapat dalam XSA-100 board yang merupakan pabrikan dari XESS Corporation. Koneksi yang diperlukan untuk menghubungkan XSA Board ini adalah menggunakan kabel parallel 25 pin (DB25).

Perangkat lunak yang digunakan untuk pemrograman FPGA ini adalah Xilinx ISE 10.1 Webpack yang dapat kita unduh secara gratis pada Xilinx.com. Xilinx telah mengeluarkan seri Webpack sebelumnya seperti Xilinx Webpack4, Webpack 5, Webpack 6, namun Xilinx Webpack terdahulu tidak terintegrasi dengan

Xilinx ISE Simulator yang diperlukan untuk simulasi hasil perancangan, sehingga pada penelitian ini digunakan Xilinx Webpack versi 10.1. Sebelum melakukan unduh hasil program ke dalam FPGA, maka terlebih dahulu adalah melakukan simulasi hasil rancangan program. Perangkat lunak yang digunakan untuk simulasi adalah Xilinx ISE Simulator (ISim) yang sudah terintegrasi pada Xilinx ISE 10.1.

BAB II TINJAUAN PUSTAKA

2.1 Kajian Pustaka

. Kristiyana (2015), Melakukan penelitian dengan judul Sistem Detektor Arah Sinyal RF Menggunakan Antena Doppler. Teknologi Komunikasi Dua-Arah menggunakan gelombang elektromagnetik berkembang dengan sangat pesatnya. Berbagai bidang kehidupan umum, militer, dan keperluan *emergency* menggunakan spektrum frekuensi radio, yang tentunya akan sangat membantu. Kelemahan sistem komunikasi ini, tidak dapat dipakai untuk memancarkan satu frekuensi bersama dalam waktu yang bersamaan. Bila hal ini terjadi akibatnya komunikasi akan tertutup (*jammed*) karena *crowded frequency* bahkan kadang ada kesengajaan untuk mengganggu komunikasi seperti banyak terjadi di bidang frekuensi amatir radio. *Radio Directional Finder* secara konvensional telah bertugas bertahun-tahun yang digunakan untuk mencari pemancar frekuensi pengganggu secara *direct* yang sekarang sudah tidak efisien dalam hal waktu dan operasionalnya. Aplikasi sistem Doppler dengan sistem Adaptif dapat digunakan sebagai dasar kerja *Radio Stand Finder* untuk mendeteksi arah posisi pemancar RF tanpa melakukan mobilitas *direct*. Antena Roanoke Doppler dirancang dengan suatu sistem *switching* dan penguat penerimaan sinyal oleh susunan *square-4* antena setengah panjang gelombang yang dapat menentukan arah datangnya sinyal RF. Sistem adaptif dapat membantu sistem penerima mengunci informasi arah berdasarkan kuat intensitas sinyal yang terbesar.

Triyadi (2008), Melakukan penelitian dengan judul Analisa Performasi Alat Navigasi Udara Doppler Very High Frekuensi Omny Range ASII Hasil Dari Kalibrasi Penerbangan Di Balai Kalibrasi Fasilitas Penerbangan Curug Tangerang. Sejalan dengan kemajuan di era globalisasi saat ini, mobilitas manusia yang semakin tinggi menyebabkan semakin padatnya lalu lintas transportasi di darat, maupun di udara. Khusus untuk transportasi udara, semakin tingginya jumlah dan frekuensi pergerakan pesawat terbang dibutuhkan alat-alat bantu salah satunya adalah

DVOR (Doppler Very High Frekuensi Omny Directional Range) DVOR adalah sebuah alat bantu navigasi udara yang memberikan informasi arah kepada pesawat udara terhadap bandara dengan azimuth tertentu. Daerah frekuensi kerja dari DVOR yaitu 108-118 Mhz. Untuk DVOR Bandar udara Soekarno Hatta bekerja pada frekuensi 113,6 Mhz.

Pesawat udara yang terletak pada suatu jarak tertentu akan menerima sinyal yang dipancar DVOR untuk mengetahui arah dan lokasi berada. Oleh karena itu dibutuhkan keakuratan peralatan DVOR agar pesawat dapat terbang dengan keamanan, kenyamanan dan keselamatan yang terjaga. Untuk itu dilaksanakan pengecekan secara periodik yang disebut Kalibrasi Udara.

Dengan itu diadakannya Kalibrasi Periodik terhadap alat navigasi udara, DVOR maka akan terlihat performan dari alat bantu navigasi penerbangan sesuai dengan toleransi yang telah ditetapkan bersama (Internasional).

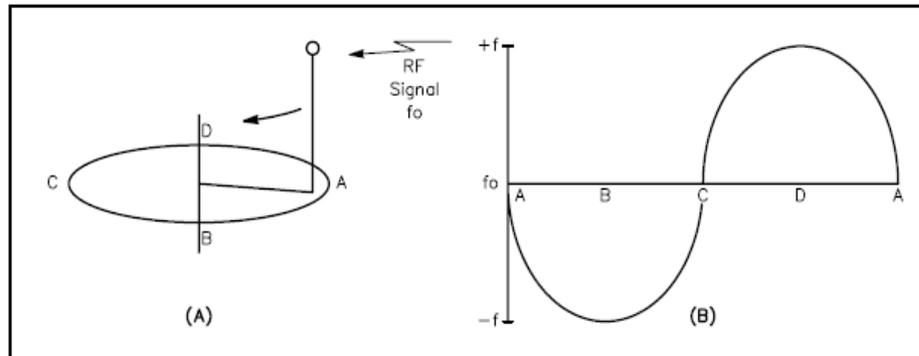
(Suhartini, 2008), melakukan penelitian tentang “Sudut Elevasi Dan Ketinggian Antena Untuk Komunikasi Radio HF”, Gelombang radio dapat sampai ke penerima dengan cara langsung, merambat dekat permukaan bumi, dan melalui pemantulan ionosfer. Cara perambatan yang terakhir inilah yang digunakan untuk komunikasi jarak jauh, menggunakan frekuensi tinggi (HF 3 – 30 MHz), dengan memanfaatkan pemantulan lapisan ionosfer. Antena yang umum digunakan dalam komunikasi radio HF adalah antena dipole setengah panjang gelombang. Tiga komponen yang menentukan keberhasilan komunikasi dengan gelombang antena adalah frekuensi, sudut elevasi, dan daya pancar. Frekuensi berkaitan dengan kerapatan elektron di lapisan ionosfer, sudut elevasi ditentukan oleh jarak komunikasi dan ketinggian lapisan ionosfer, dan menentukan ke arah mana gelombang radio harus dipancarkan, sedangkan daya pancar menunjukkan besarnya energi gelombang radio yang dipancarkan. Ketinggian antena menentukan pola radiasinya, yaitu distribusi energi gelombang radio yang dipancarkan, oleh karena itu berperan dalam menentukan sampainya gelombang radio di tujuan komunikasi.

Dermawan Denny (2012), melakukan penelitian perancangan counter 4 bit dan led dekoder menggunakan Xilinx Spartan 2 FPGA dengan menggunakan design entri nya adalah VHDL (Very High Description Language). Keluaran dari led dekoder diumpankan ke rangkaian penampil seven segment. Pada penelitian tersebut dititik beratkan perancangan menggunakan VHDL sebagai design masukannya dan keluarannya adalah sebuah penampil tujuh ruas.

Dave Van Den Bout (1998), menyatakan bahwa implementasi proses desain digital dapat dilakukan dengan membangun rangkaian logika transistor-transistor ataupun melalui teknik desain logika terprogram. Implementasi dengan menggunakan teknik desain logika terprogram memiliki tingkat kerumitan yang lebih tinggi dibandingkan dengan menggunakan logika transistor-transistor. Salah satu penerapan adalah pada perancangan led decoder yang dibangun menggunakan masukan berupa teks dalam hal ini adalah VHDL.

2.2 Landasan Teori

Contoh klasik efek Doppler adalah saat mobil mendekati sumber pengamat, suara klakson mobil lebih tinggi dari (frekuensi) yang pengamat dengar ketika mobil menjauh dari pengamat. Perubahan frekuensi terjadi karena gerakan mobil memperpendek panjang gelombang suaraterdengar lebih rendah dari (frekuensi) yang pengamat dengar. Initerjadi karena mobil tersebut menjauh pergi dari pengamat secara efektif meningkatkan panjang gelombang. Lebih sedikit siklus per detik, maka, frekuensi menjadi rendah. Efek serupa terjadi karena antenna tidak mendekat atau jauh dari sumber pemancar . Sinyal yang diterima dari antenna dikirim menuju pemancar yang frekuensi yang lebih tinggi dibandingkan dengan transmisi aktual. Sinyal yang diterima oleh antenna dikirim ke sumber transmisi aktual yang lebih rendah frekuensinya seperti pada gambar 2.1.



Gambar 2.1 Frekuensi rotasi antenna Doppler

Banyak orang yang menggunakan antenna dalam pola bundar yang di gambarkan pada gambar 2.1. Dengan mempertimbangkan antenna diposisi A, paling dekat dengan sumber pencarian. frekuensi sinyal yang diterima pada titik A sama dengan sinyal dari pemancar karena tidak bergerak ke arah atau menjauh dari sumber pencarian. Frekuensi sinyal yang diterima menurun pada saat antenna bergerak dari titik A ke titik B dan dari titik B ke titik C. Deviasi Frekuensi maksimum terjadi pada saat antenna melewati titik B. Frekuensi sinyal yang diterima dari titik C adalah sama dengan sinyal dari pemancar (tidak ada perubahan) karna antenna tidak mendekat atau jauh dari sumber pencarian. Bila antenna bergerak dari titik C ke titik D dan dari titik D kembali ke titik A. Frekuensi sinyal yang diterima akan memigkat. Deviasi frekuensi maksimum terjadi lagi pada saat antenna melewati titik D. Pergeseran frekuensi Doppler sebagai fungsi rotasi antenna diilustrasikan pada gambar 2.1 Dengan rumus.

$$dF = \frac{\omega r f_c}{c} \quad (2.1)$$

dengan :

dF = Perubahan dari puncak frekuensi (pergeseran Doppler dalam hertz)

ω = Kecepatan sudut rotasi dalam radian per detik ($2 \times \pi \times$ frekuensi rotasi)

r =Radius rotasi antenna (m)

f_c =Frekuensi sinyal (Hz)

c = Kecepatan cahaya (m/s)

Untuk menghitung seberapa cepat antenna harus memutar untuk menghasilkan pergeseran frekuensi Doppler yang diperlukan, diberikan oleh persamaan berikut :

$$fr = \frac{dF \times 1879,8}{R \times fc} \quad (2.2)$$

dengan :

Fr = Pergeseran frekuensi dalam hertz (Hz)

Df = Pergeseran Doppler dalam hertz (Hz)

R = Radius antenna rotasi dalam meter (m)

fc = Frekuensi sinyal yang diterima dalam megahertz (MHz)

Sebagai contoh mari kita hitung seberapa cepat antena harus memutar untuk menghasilkan pergeseran doppler dari 500 Hz ke 146 MHz, dengan asumsi antenna berubah dengan radius 13.39 inci. Rotasi frekuensi adalah:

$$fr = \frac{500 \times 1879,8}{146 \times 13.39} \quad (2.3)$$

Sebuah frekuensi rotasi 480Hz diuraikan ke $480 \times 60 = 28.800$ atau hampir 30.000 r/min, cukup banyak aturan yang keluar dari ide-ide tentang mekanis rotasi antena. Untungnya, Terrence Rogers, WA4BVY, mengusulkan metode antena elektrik pencari yang bekerja dengan baik. Rancangan Rogers, DoppleScAnt, menggunakan delapan $\frac{1}{4}\lambda$ vertikal yang diatur dalam pola bundar. Hanya satu antena elektrik yang dipilih pada waktu mengontrol urutan, Doppler Scan menyimulasi sendiri $\frac{1}{4}\lambda$ antena pencari dalam lingkaran. Sebuah Fitur cerdas dalam desain Rogers adalah penggunaan filter audio digital untuk menyaring suara dari prinsip Doppler dimana fungsi PL dan kebisingan.

Selama 20 tahun terakhir, banyak modifikasi desain asli dari Rogers yang berevolusi. Sebuah versi populer diperkenalkan oleh Chuck Tavaris, N4FQ, yang dijuluki Roanoke Doppler pencari arah, nama lain dari Roanoke, Virginia, lokasi dimana dibangun dan digunakan modifikasi yang kemudian diusulkan untuk mencegah pencarian yang tidak akurat ketika nada Doppler terlalu lemah atau strong. Percobaan mengungkapkan bahwa hanya empat antena yang diperlukan untuk memberikan kinerja yang baik. Metode antena yang diusulkan memungkinkan antena pencari sirkuit yang biasa digunakan pada VHF atau UHF. untuk membuat DF Doppler yang memiliki beberapa fitur yang ditingkatkan.

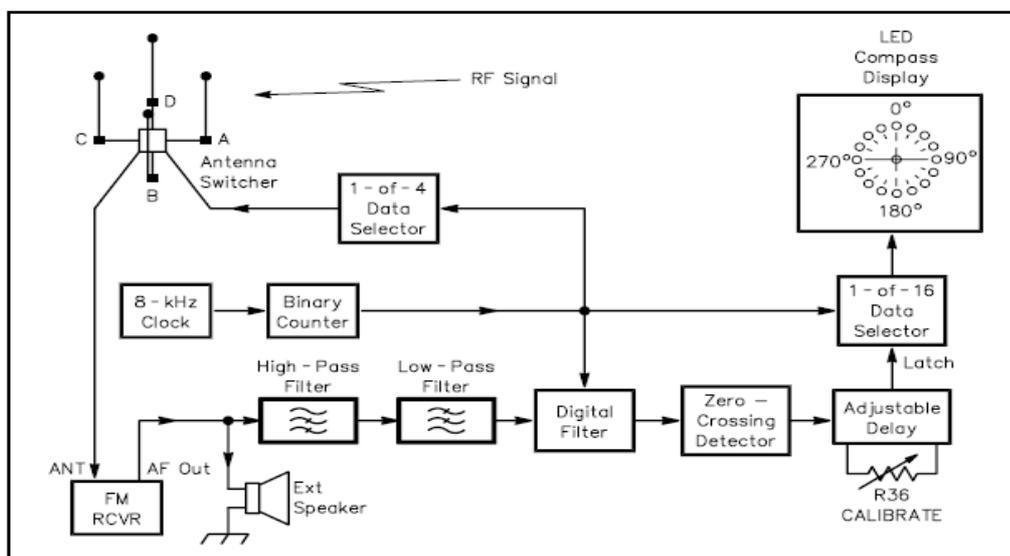
Sebuah sekema desain Roanoke mengungkapkan penggunaan 4000 logika sirkuit seri CMOS tidak terpakai yang dibutuhkan adalah CMOS ke LED display driver untuk mengoperasikan LED. IC Driver ini masih tersedia, tetapi agak mahal sekitar (\$ 15 untuk tiga unit). Aspek lain dari rancangan ini lumayan mahal karena penggunaan empat $1/4-\lambda$ mag mount yang dibutuhkan untuk antena. Mag mount adalah antena termurah bisa menghabiskan biaya sekitar \$15 dikali empat, dan akan menghabiskan \$60, itu belum menambahkan komponen-komponen elektronik yang lain.

Desain ini memberikan sedikit peningkatan untuk penyaringan audio, 74HC- series logika sirkuit mampu membuat tampilan LED langsung dan *wideband* VHF/UHF *switcher* antena, kita dapat menghabiskan sekitar \$ 40 termasuk empat $1/4-\lambda$ *mag-mount* antena. Kualitas tinggi penerima PC dan bagian yang tersedia untuk membuat rancangan yang sederhana dan secara ekonomis. Total biaya proyek ini sekitar sepertiga biaya pembelian komersial RDF unit.

2.3. Cara Kerja Doppler RDF

Untuk memahami pengoperasian dari Doppler RDF sirkuit, kita dapat melihat blok diagram gambar 2.2. Sebuah 8 kHz clock osilator mengendalikan *binary counter*. Keluaran dari *binary counter* menghubungkan tiga fungsi yaitu antenna pencari, mengendalikan tampilan LED dan menjalankan *filter digital*. Keluaran dari

binarycounter mengendalikan 1 dari 4 multiplexer antenna pencari secara berurutan atau yang mana terdeteksi lebih dulu maka itu yang dipilih (menyala) pada satu waktu pada perintah A, B, C, D, A, dan seterusnya pada 500 kali perdetik. *Output counter* juga mengendalikan 1 dari 16 multiplexer digunakan untuk mengendalikan LED *display* dengan antenna pencari. Sinyal RF yang diterima dari antenna pencari terhubung ke antenna input dari receiver VHF ke UHF FM pada gambar 2.2.



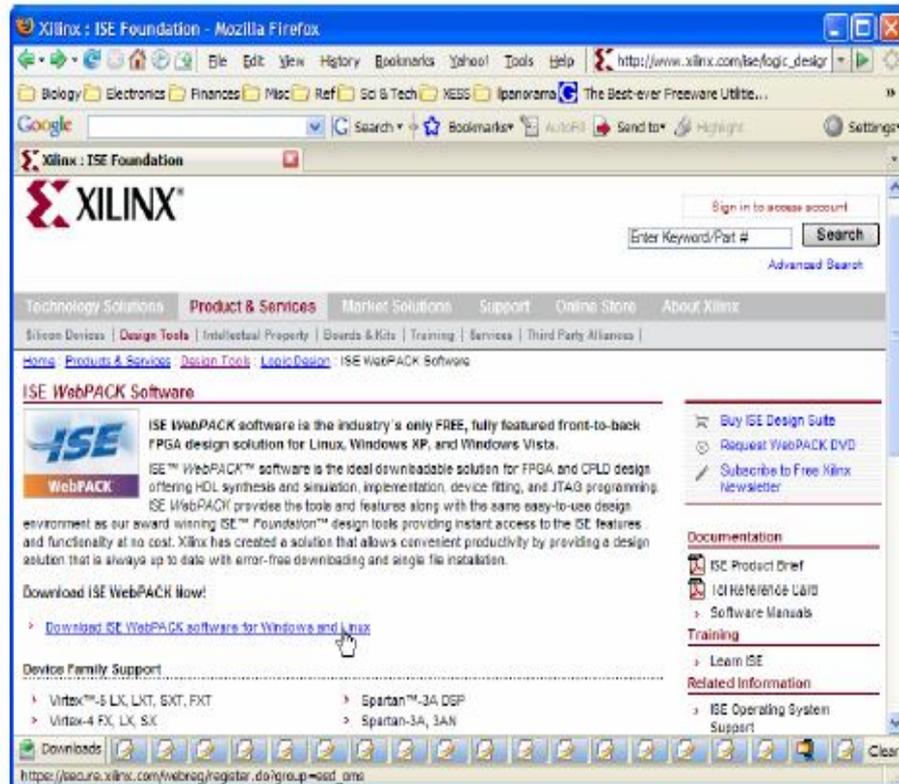
Gambar 2.2 Blok diagram Radio Doppler

Penelitian ini menitikberatkan pada perancangan binary counter dan led dekoder (1 of 16 data selector, yang berisi rangkaian multiplexer dari 4 ke 16) saja, tidak terhadap keseluruhan rangkaian radio detection finder. Jadi hanya bagian binary counter dan multiplexer 4 ke 16 saja yang akan dibuat chip IC (Integrated Circuit) penggantinya.

2.4 Software XILINX ISE WebPACK 10.1

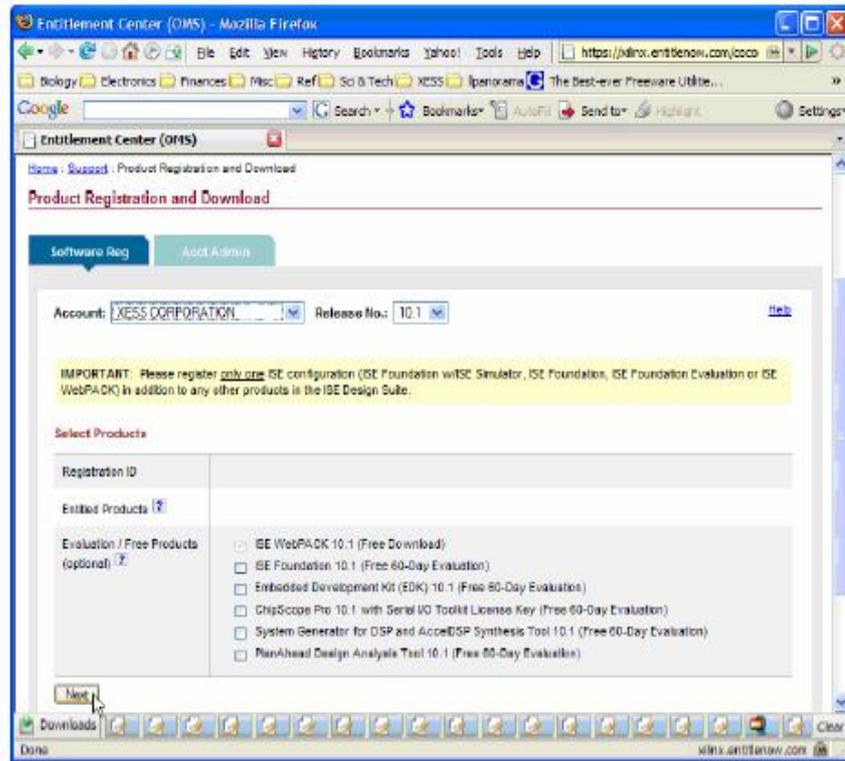
Simulasi hasil rancangan program. Perangkat lunak yang digunakan untuk simulasi adalah Xilinx ISE Simulator (ISim) yang sudah terintegrasi pada Xilinx ISE 10.1.

Software Xilinx ISE WebPACK 10 dapat diunduh secara gratis dari lokasi berikut : http://www.xilinx.com/ise/logic_design_prod/webpack.htm. Klik pada link untuk unduh software seperti diperlihatkan pada gambar 2.3.



Gambar 2.3. Link untuk unduh ISE WebPACK 10.1

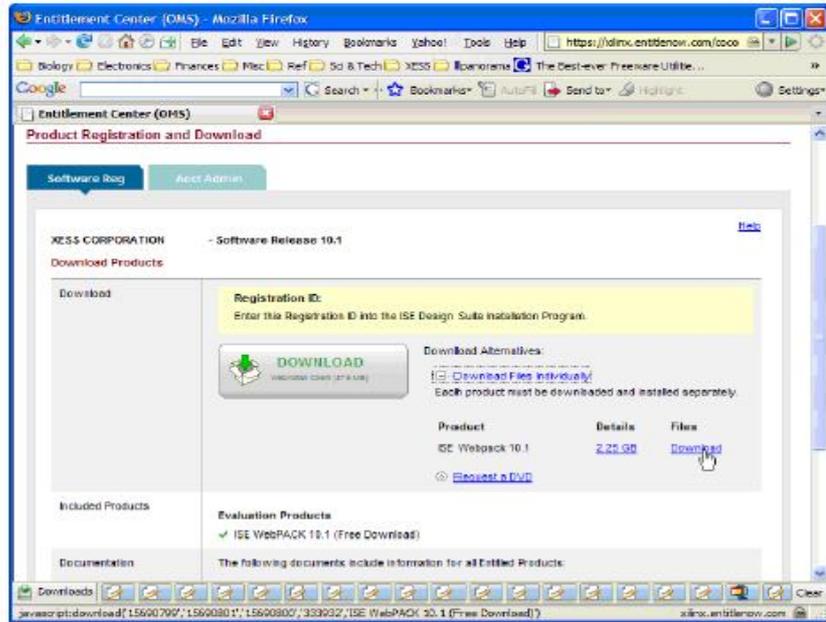
Kita harus membuat account dan membuat user ID dan password sebelum kita diijinkan untuk mengunduh software ISE WebPACK 10.1. Setelah kita buat account-nya maka kita masuk ke halaman dimana kita bias memilih software mana yang ingin kita unduh seperti pada gambar 2.4. Centang kotak ISE WebPACK 10.1 dan klik tombol next.



Gambar 2.4. Halaman pilihan software yang ingin diunduh

Langkah berikutnya kita sampai pada halaman dimana dapat mengunduh software ISE WebPACK 10.1. Klik pilihan download files Individually kemudian klik link download seperti diperlihatkan pada gambar 2.5. Proses ini akan mengunduh seluruh file instalasi untuk ISE WebPACK dengan ukuran 2,25 GB.

Setelah proses unduh selesai, maka urai file WebPACK_SFD.tar dan double klik file setup.exe untuk mulai penginstalan.



Gambar 2.5. Halaman untuk unduh software ISE WebPACK 10.1

BAB III

METODOLOGI PENELITIAN

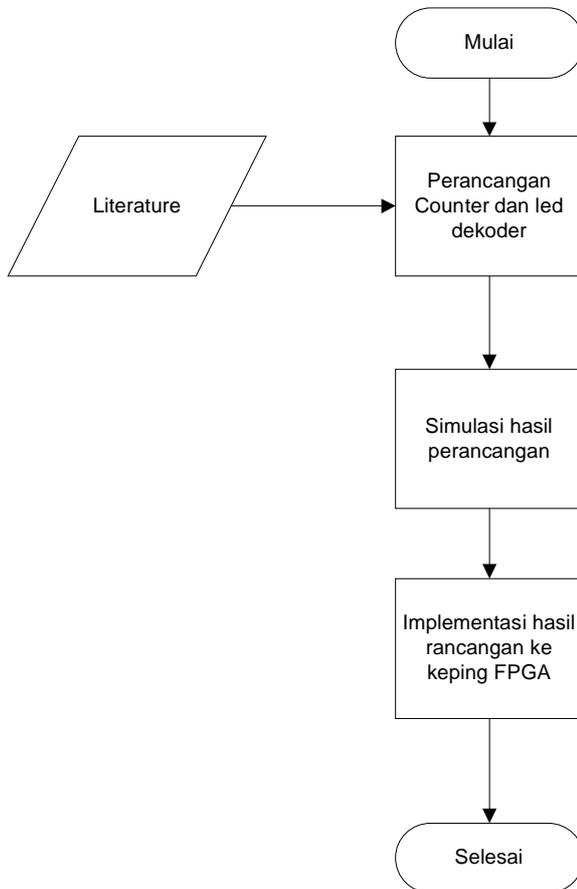
Dalam menyelesaikan masalah yang terdapat pada penelitian ini diperlukan suatu alur atau kerangka kerja yang terstruktur, sistematis dan terarah yaitu melalui metodologi penelitian. Metodologi penelitian merupakan suatu proses yang terdiri dari tahap-tahap yang saling terkait satu sama lain. Pembuatan kerangka pola pikir yang sistematis dan terarah diharapkan memberikan hasil yang tepat pada sasaran.

3.1 Alat dan Bahan Penelitian

- a. XSA-100 board dengan Xilinx Spartan 2 XC2S FPGA
- b. XST Extension Board
- c. Personal Computer dengan paralel port (LPT Port)
- d. Rangkaian aplikasi (PCB, resistor dan led)
- e. Multimeter digital
- g. Osiloskop Digital 25 MHz
- h. Power supply 9 Volt

3.2 Diagram Alir Penelitian

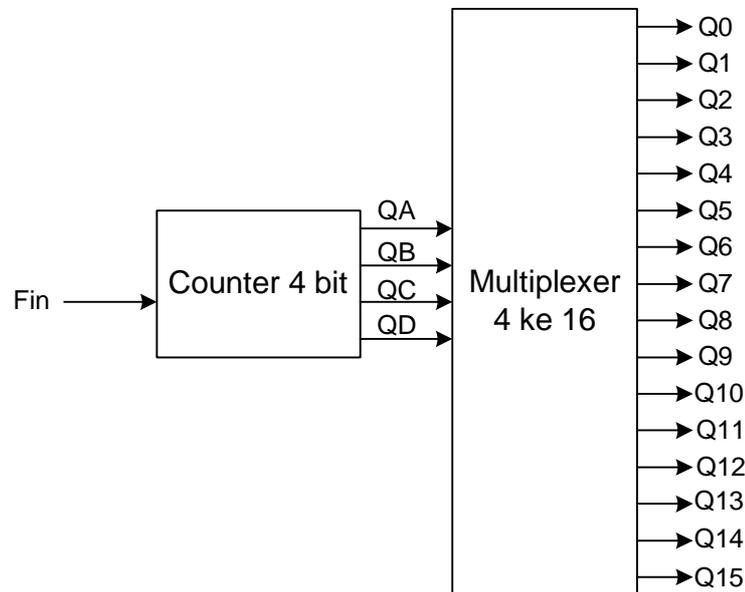
Gambar 3.1 merupakan diagram alir penelitian yang digunakan sebagai dasar dalam melaksanakan penelitian ini adalah : Pada tahapan awal yaitu konsep perancangan counter dan led dekoder (multiplexer 4 ke 16) dari berbagai literatur setelah itu masuk ke tahapan melakukan simulasi hasil perancangan counter dan multiplexer pada perangkat lunak Xilinx ISE 10.1, apabila hasil simulasi telah sesuai dengan hasil perancangan maka tahapan selanjutnya adalah mengunduh bit hasil rancangan ke dalam keping FPGA.



Gambar 3.1 Diagram AlirPenelitian

3.3. Desain Counter 4 bit dan led dekoder

Desain counter 4 bit dan led dekoder yang akan digunakan pada alat radio detection finder diperlihatkan pada gambar 3.2.

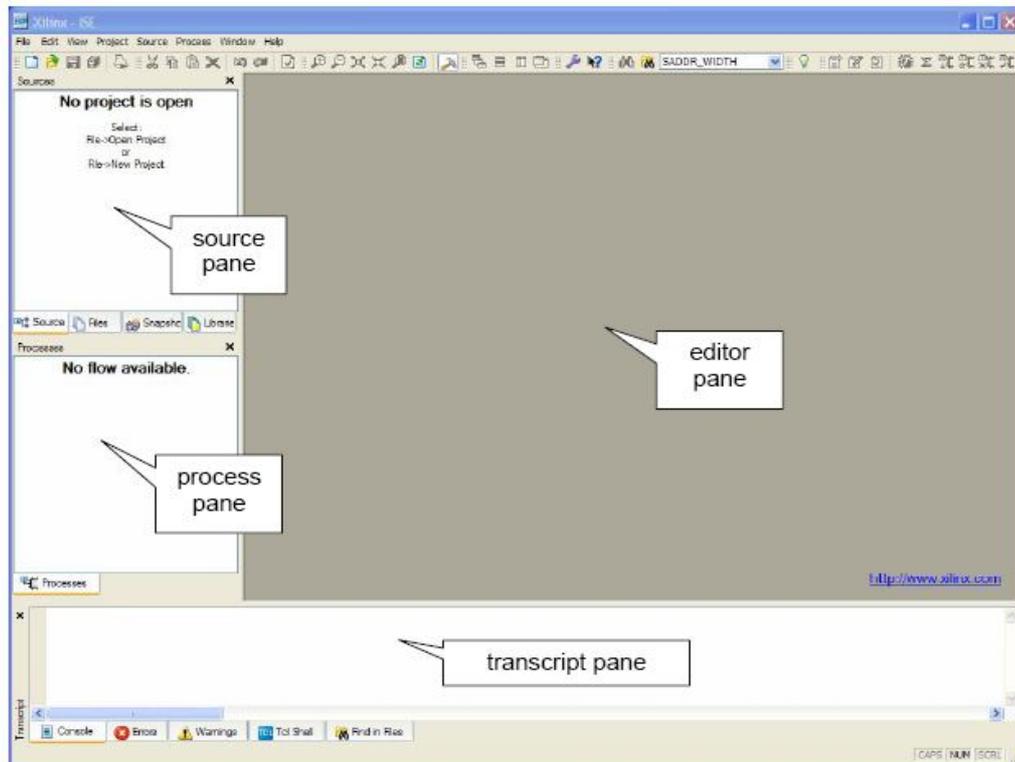


Gambar 3.2. Blok diagram perancangan

Rangkaian terdiri dari dua sub blok yaitu rangkaian counter 4 bit dan rangkaian led dekoder 4 ke 16. Masukan berupa sinyal Fin dapat berasal dari rangkaian aplikasi ataupun dari Audio Frequency Generator (AFG). Keluaran counter adalah BCD 4 bit (Qa, Qb, Qc dan Qd) yang akan diumpankan ke masukan rangkaian led dekoder yang berisi rangkaian multiplexer 4 ke 16. Keluaran multiplexer adalah saluran 16 bit yang salah satu akan aktif bersesuaian dengan masukan multiplexer. Keluaran multiplexer diberi simbol Q0, Q1,, Q15.

3.4. ISE Project Navigator

Memulai ISE Project Navigator dengan double klik icon  pada desktop, langkah ini akan membawa ke jendela empty project seperti diperlihatkan pada gambar 3.3.

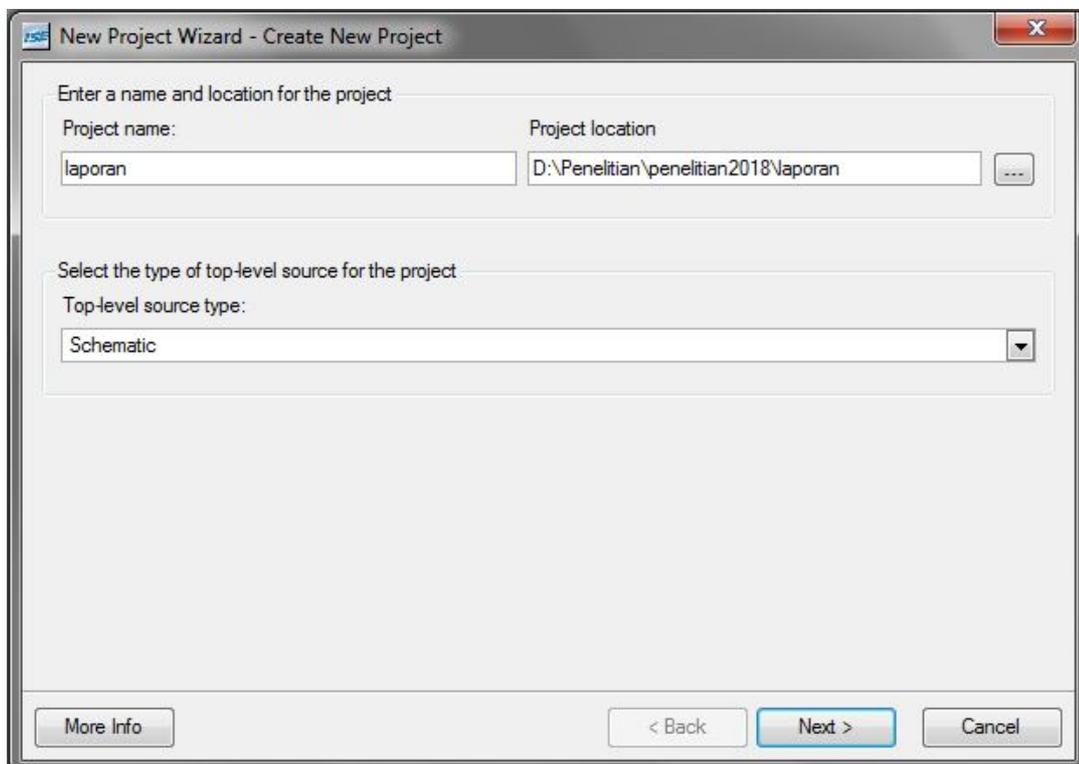


Gambar 3.3. Jendela empty project ISE Project Navigator

Jendela tersebut mempunyai empat panes sebagai berikut :

1. Source pane, organisasi dari file-file sumber dari design, ada 4 tab sehingga kita dapat melihat modul modul fungsional, file sumber, snapshots atau library HDI untuk project.
2. Process pane, daftar berbagai macam operasi yang diberikan ke object pada source pane.
3. Transcript pane, menunjukkan berbagai pesan dari proses yang sedang berjalan.
4. Editor pane, tempat memasukkan HDL code, gambar skematik, diagram keadaan dan lain sebagainya.

Memulai perancangan proyek baru dengan memilih *file*→*new project* sehingga tampil jendela *New Project Wizard* dimana kita dapat menuliskan nama project, lokasi file dan tipe desain pada top level seperti ditunjukkan pada gambar 3.4. Rancangan LED Dekoder ini diberi nama *laporan* dan diletakkan pada folder *D:\Penelitian\penelitian2018\laporan*. *Design entry* yang akan digunakan untuk LED Dekoder menggunakan *Schematic* sehingga dipilih *top level sources*-nya adalah *Schematic*. Klik *next* untuk meneruskan membuat project.



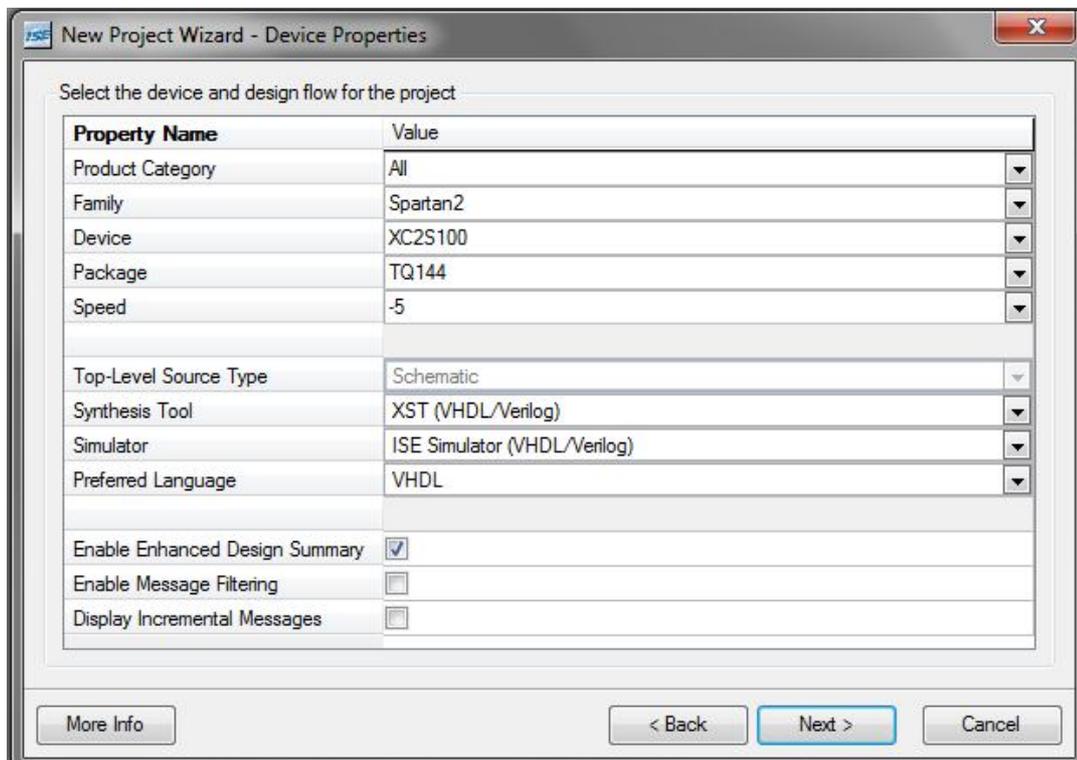
Gambar 3.4. *New Project Wizard*

Tipe FPGA yang akan digunakan dalam project harus kita masukkan dalam perancangan. Tipe-tipe FPGA yang meliputi : device family, family number, package, dan speed grade diperlihatkan pada table 3.1.

Tabel 3.1. FPGA SPARTAN Family

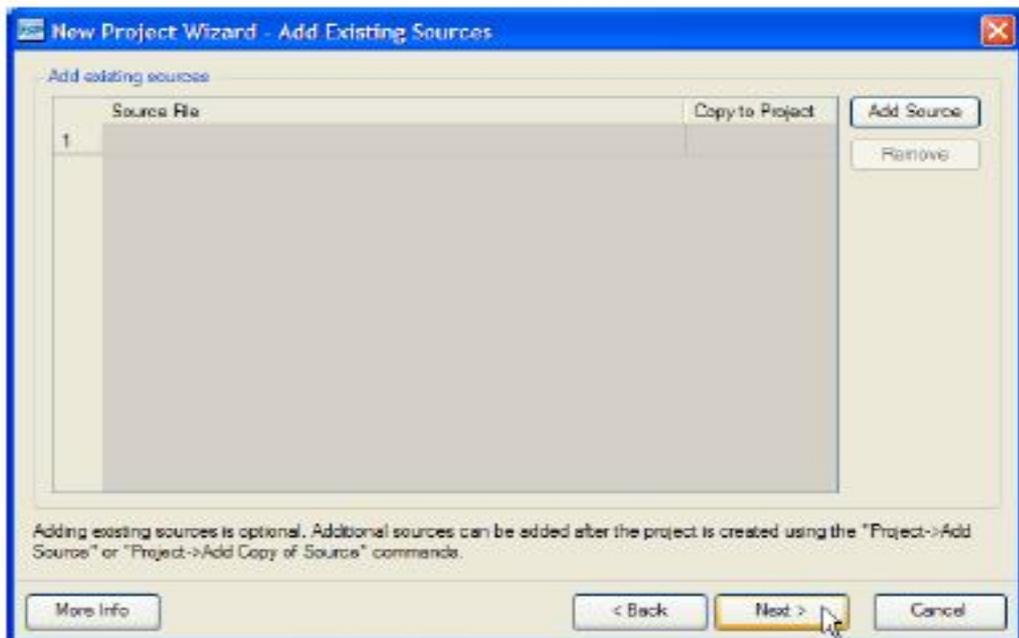
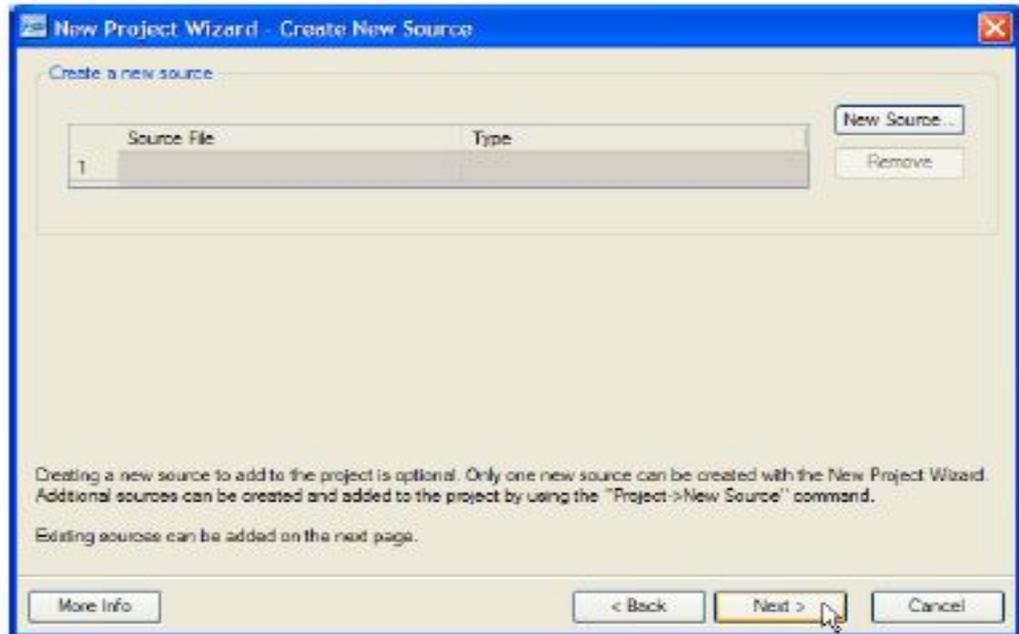
XSA Board	Device Family	Device	Package	Speed Grade
XSA-50	Spartan2	XC2S50	TQ144	-5
XSA-100	Spartan2	XC2S100	TQ144	-5
XSA-200	Spartan2	XC2S200	FG256	-5
XSA-3S1000	Spartan3	XC3S1000	FT256	-4

Perancangan LED Dekoder menggunakan papan XSA-100, sehingga dalam kendela device properties dapat diisi nilai nilai seperti pada gambar 3.5.



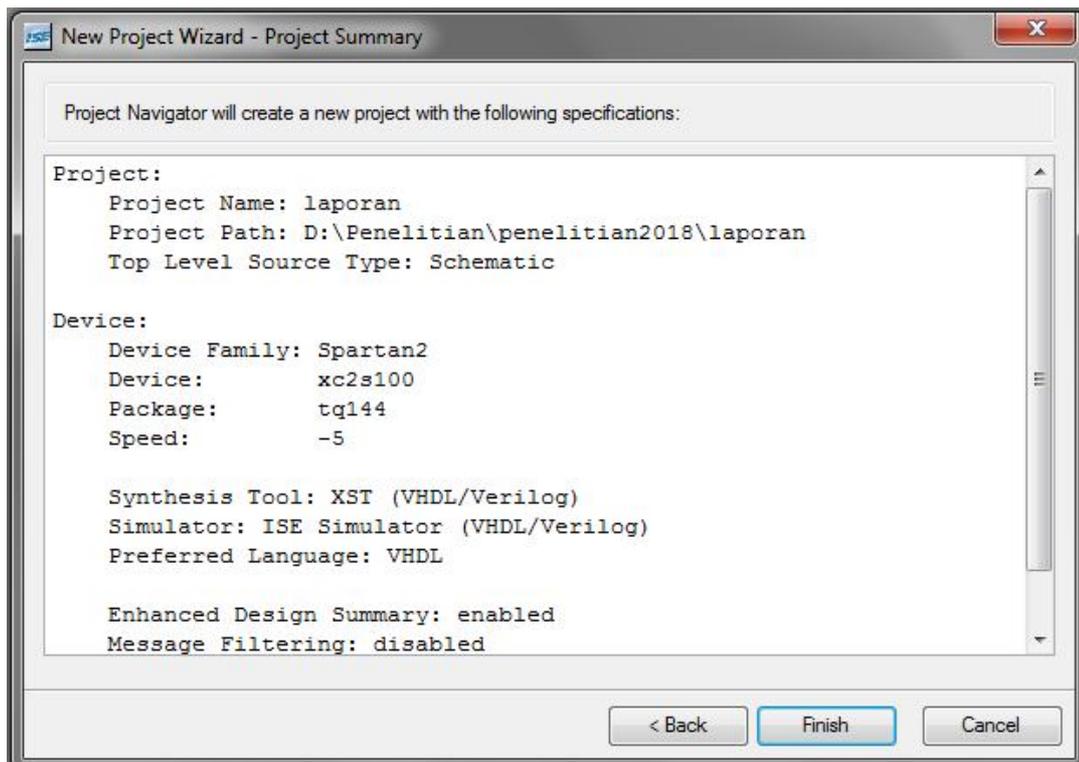
Gambar 3.5. Jendela device properties

Klik tombol next untuk dua buah jendela penambahan file (kita belum mempunyai file yang akan ditambahkan ke dalam project). *Creating dan adding sources file* diperlihatkan pada gambar 3.6.



Gambar 3.6. *Creating dan adding source files*

Tampilan terakhir dalam *New Project Wizard* adalah informasi terakhir untuk *new project*. Klik tombol finish untuk mengakhiri pembuatan project baru seperti pada gambar 3.7.

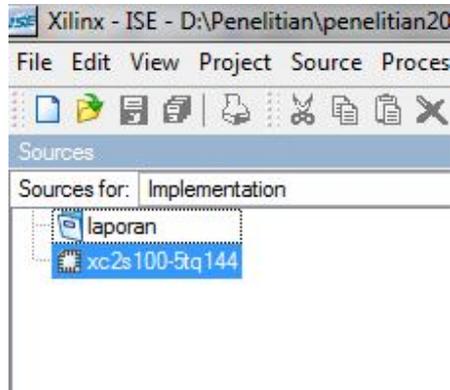


Gambar 3.7. Jendela akhir New Project Wizard

Setelah selesai pembuatan project baru, maka source pane akan memiliki dua komponen yaitu :

1. Project, disebut *laporan*
2. Chip, disebut XC2S100-5tq144

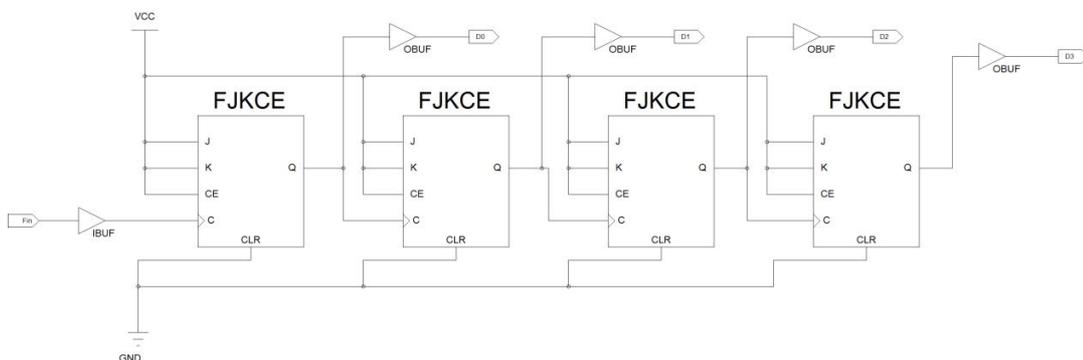
Seperti diperlihatkan pada gambar 3.8.



Gambar 3.8. Source pane untuk project baru

3.5 Perancangan counter 4 bit dan multiplexer 4 ke 16

Desain FPGA yang pertama adalah counter 4 bit. Sebuah counter 4 bit dapat disusun dari 4 buah RS flip-flop yang saling terhubung antara keluaran flip-flop dengan masukan clock. Sebagai masukan counter adalah sebuah sumber eksternal bisa dari rangkaian aplikasi maupun sebuah alat pembangkit frekuensi, AFG (Audio Frequency Generator), f_{in} dan keluarannya ada 4 bit yaitu Q0, Q1, Q2 dan Q3 yang masing – masing mempunyai frekuensi keluaran sebesar $f_{in}/2$, $f_{in}/4$, $f_{in}/8$ dan $f_{in}/16$ berturut- turut. Rangkaian counter 4 bit menggunakan RS flip-flop diperlihatkan pada gambar 3.9



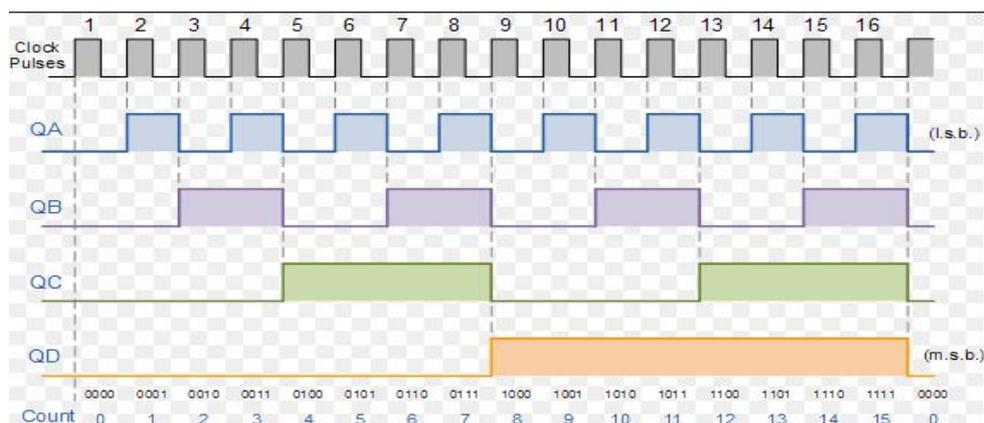
Gambar 3.9 Rangkaian counter 4 bit

Tabel kebenaran untuk counter 4 bit diperlihatkan pada tabel 3.2

Tabel 3.2 Tabel kebenaran counter 4 bit

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Timing diagram untuk counter 4 bit diperlihatkan pada gambar 3.10



Gambar 3.10 Timing diagram counter 4 bit

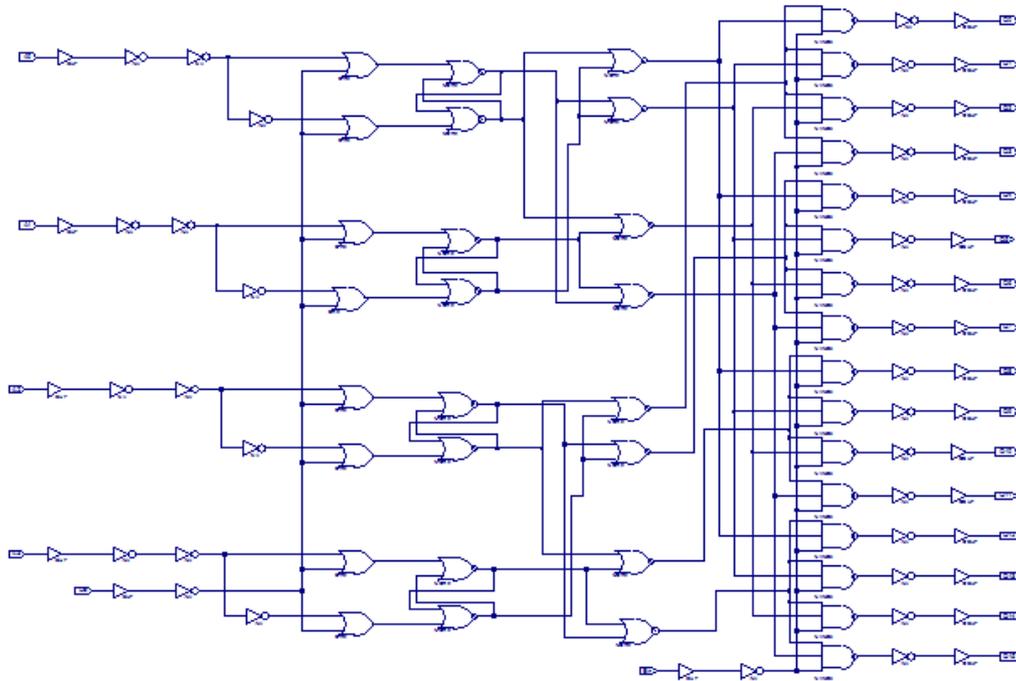
Frekuensi masukan yang diberikan pada rangkaian counter 4 bit ini adalah sebesar 8 KHz agar dapat menghasilkan frekuensi doppler sebesar 500 Hz pada keluaran Q₃ atau Q_D.

Desain FPGA yang kedua adalah sebuah led dekode yang pada intinya tersusun dari sebuah multiplexer 4 ke 16. Masukan rangkaian multiplexer ini berasal dari keluaran counter 4 bit. Keluaran multiplexer adalah aktif salah satu sesuai dengan kombinasi masukannya. Tabel kebenaran dari sebuah multiplexer 4 ke 16 diperlihatkan pada tabel 3.3.

Tabel 3.3. Tabel kebenaran multiplexer 4 ke 16

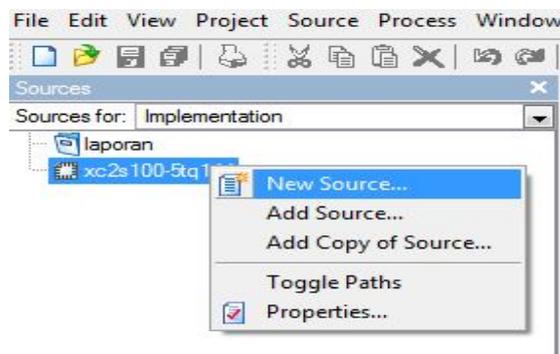
INPUTS					OUTPUTS																
\bar{E}	A ₀	A ₁	A ₂	A ₃	\bar{Q}_0	\bar{Q}_1	\bar{Q}_2	\bar{Q}_3	\bar{Q}_4	\bar{Q}_5	\bar{Q}_6	\bar{Q}_7	\bar{Q}_8	\bar{Q}_9	\bar{Q}_{10}	\bar{Q}_{11}	\bar{Q}_{12}	\bar{Q}_{13}	\bar{Q}_{14}	\bar{Q}_{15}	
H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

Rangkaian elektronik penyusun multiplexer 4 ke 16 diperlihatkan pada gambar 3.11.



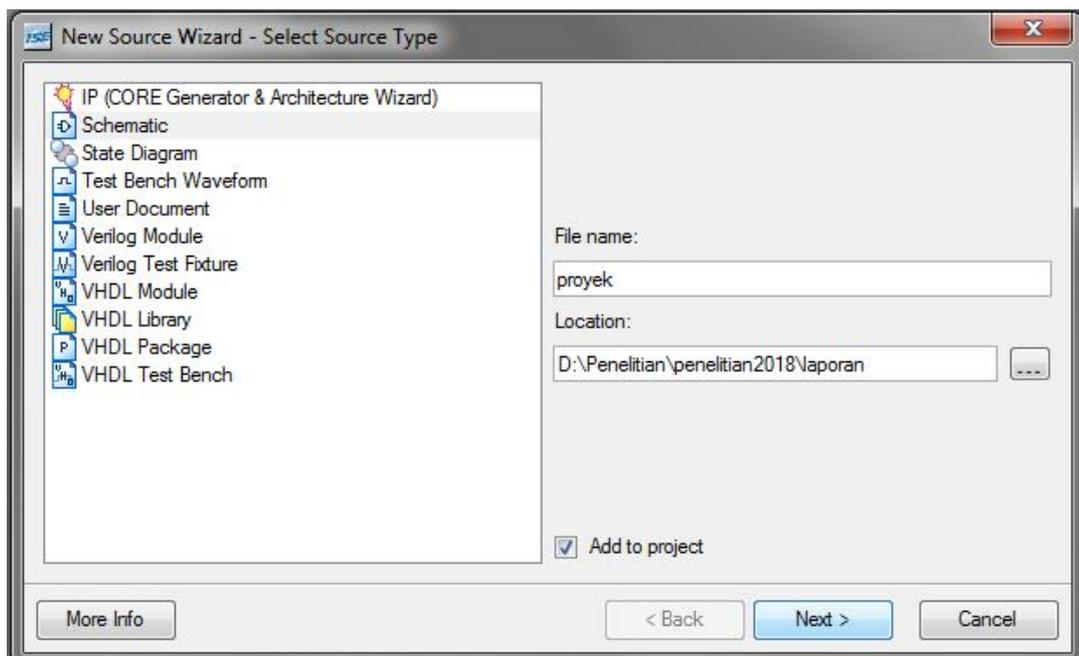
Gambar 3.11 Rangkaian multiplexer 4 ke 16

Project dimulai dengan menambahkan file VHDL pada project laporan. dengan cara klik kanan pada XC2S100-5tq144 pada *source pane* dan pilih *new source* dari pop-up menu seperti pada gambar 3.12.



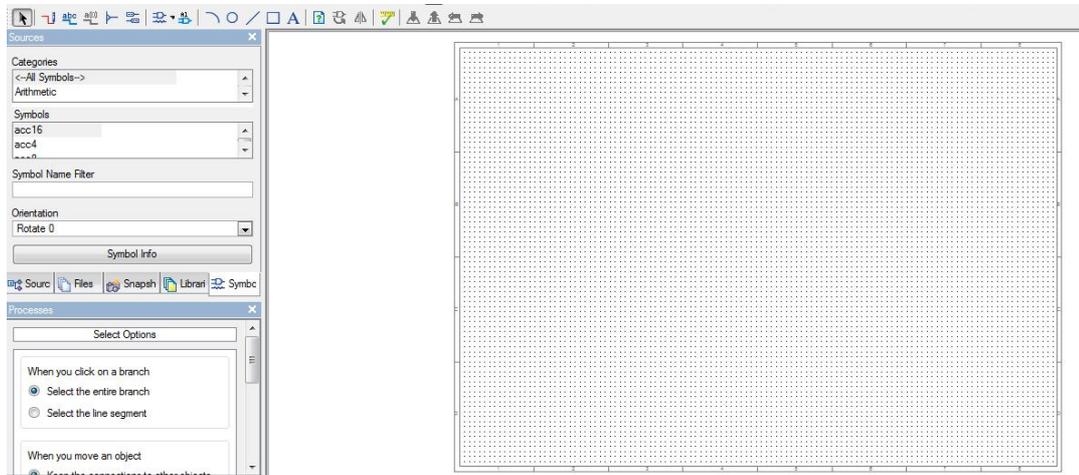
Gambar 3.12. Menambahkan file VHDL ke project baru

Jendela baru akan muncul dan kita harus memilih tipe file yang akan kita tambahkan. Perancangan LED Dekoder menggunakan Schematic maka kita pilih Schematic, kemudian kita beri nama modulnya adalah *proyek* seperti pada gambar 3.13.



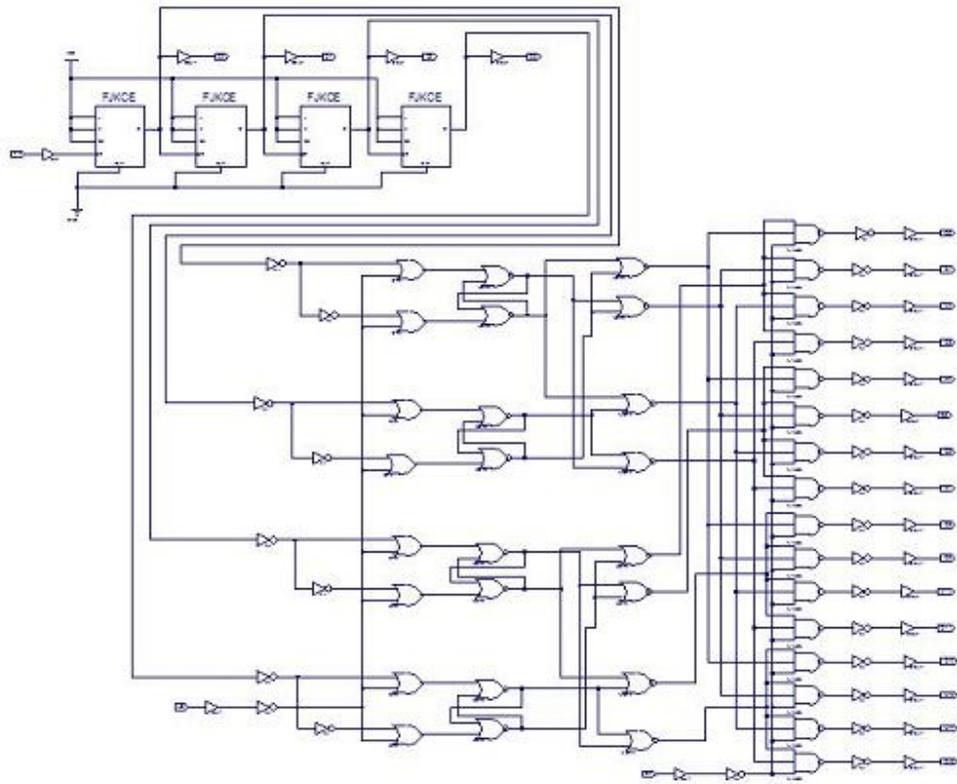
Gambar 3.13. Schematic untuk proyek

Maka akan muncul jendela.sch tempat untuk menggambar skematik rangkaian perancangan seperti yang diperlihatkan pada gambar 3.14.



Gambar 3.14 Proyek.sch tempat menggambar rangkaian perancangan

Langkah berikutnya adalah menggambar skematik rangkaian perancangan yang terdiri dari counter 4 bit dan multiplexer 4 ke 16 pada jendela proyek.sch. Tampilan gambar skematik counter 4 bit dan multiplexer 4 ke 16 diperlihatkan pada gambar 5.15.



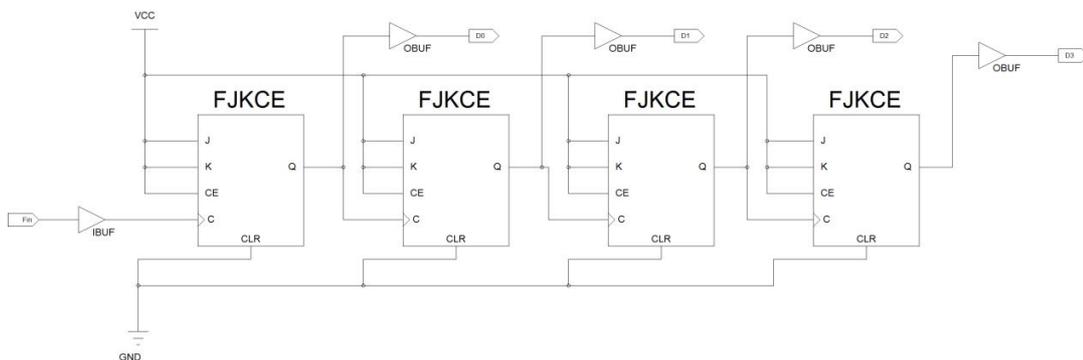
Gambar 3.15. Rangkaian counter 4 bit dan multiplexer 4 ke 16

BAB IV HASIL DAN PEMBAHASAN

Bab ini membahas mengenai hasil dan pembahasan keseluruhan alat yang dirancang, serta pengujian alat, dan akan dianalisa secara langsung untuk mengetahui keberhasilan dari hasil rancangan counter dan led dekoder untuk mendeteksi radio direction finder.

4.1 Hasi Pengujian Rangkaian Counter 4 bit

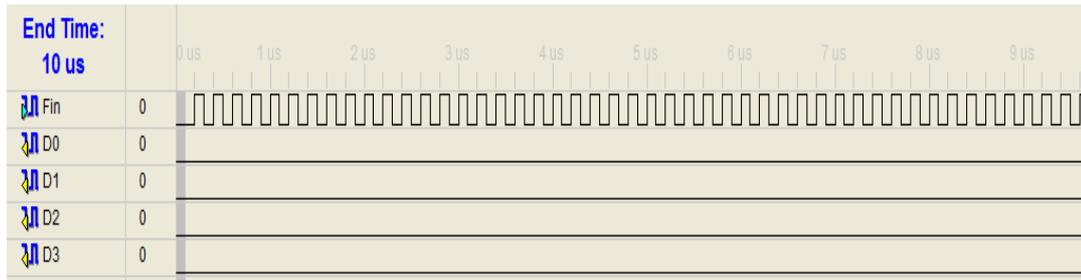
Rancangan pengujian counter 4 bit mengacu pada gambar 4.1. Rancangan counter 4 bit disimulasikan terlebih dahulu pada Xilinx ISE 10.1 untuk mengetahui performa dari counter 4 bit, apakah sudah sesuai dengan hasil perancangan.



Gambar 4.1 Rangkaian pengujian counter 4 bit

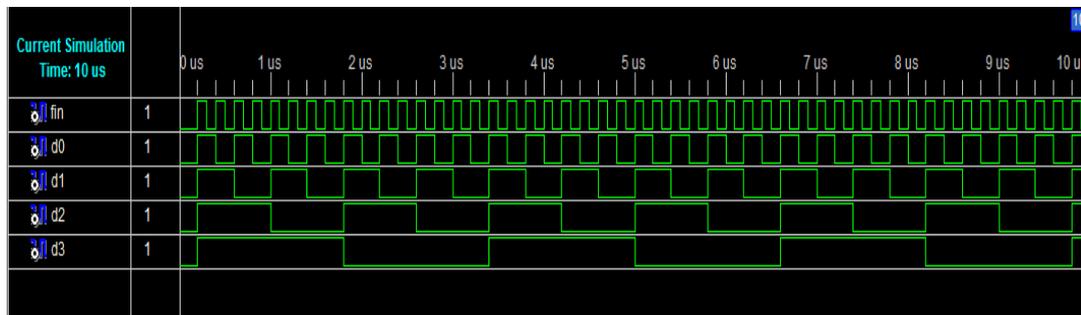
Setelah rancangan counter 4 bit dengan menggunakan masukan gambar skematik selesai dilakukan maka langkah selanjutnya yang diambil sebelum diunduh ke dalam keeping FPGA adalah mensimulasikan program yang telah dibuat menggunakan program Xilinx ISE Simulator (ISim) versi 10.1.

Simulasi counter 4 bit dimulai dengan memberikan stimulus (masukan) untuk rangkaian counter 4 bit. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpankan ke masukan Fin seperti diperlihatkan pada gambar 4.2.



Gambar 4.2 Test bench waveform counter 4 bit

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian ciunter 4bit jika diberikan masukan seperti pada gambar 4.2. hasil simulasi counter 4 bit dengan masukan test bencg waveform ditunjukkan pada gambar 4.3.



Gambar 4.3 Hasil simulasi counter 4 bit.

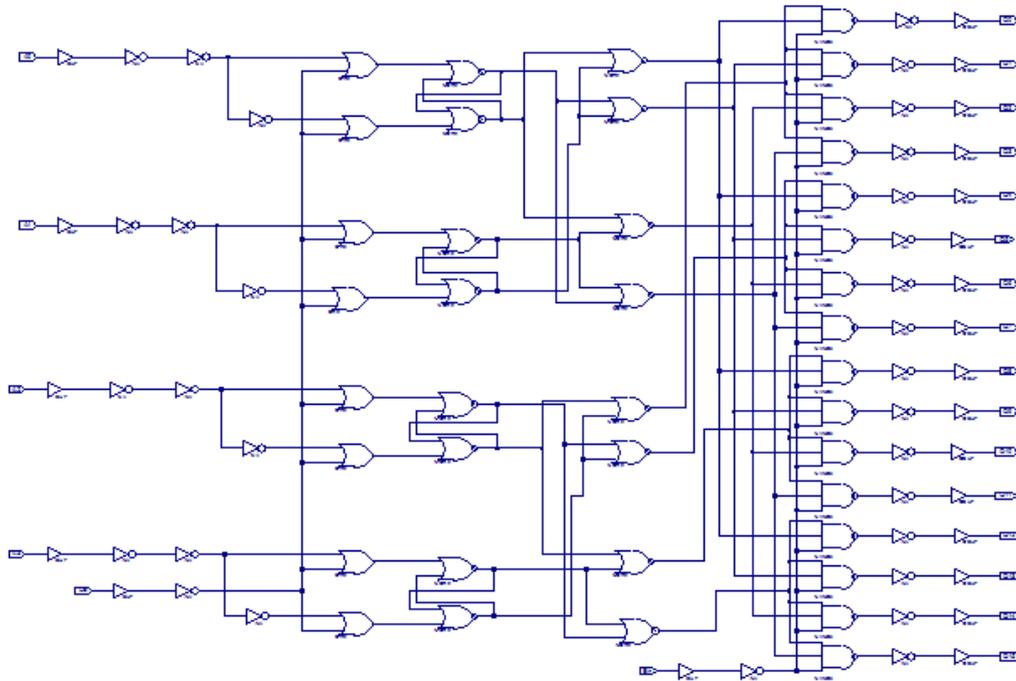
Hasil simulasi yang telah dihasilkan oleh ISE 10.1 perlu dicocokkan kembali dengan tabel kebenaran counter 4 bit seperti tabel 4.1. Hasil simulasi menunjukkan bahwa rangkaian counter 4 bit yang telah dirancang telah sesuai dengan tabel kebenaran counter 4 bit.

Tabel 4.1 Clock 8 kHz

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

4.2 Hasil Pengujian Rangkaian multiplexer 4 ke 16

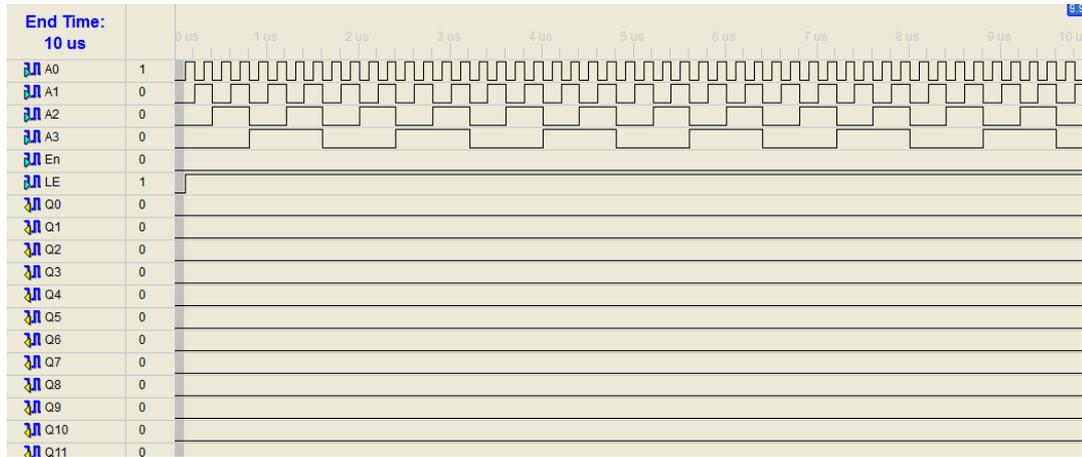
Rancangan pengujian multiplexer mengacu pada gambar 4.4. Rancangan multiplexer disimulasikan terlebih dahulu pada Xilinx ISE 10.1 untuk mengetahui unjuk kerja dari multiplexer, apakah sudah sesuai dengan hasil perancangan.



Gambar 4.4 Rangkaian pengujian multiplexer 4 ke 16

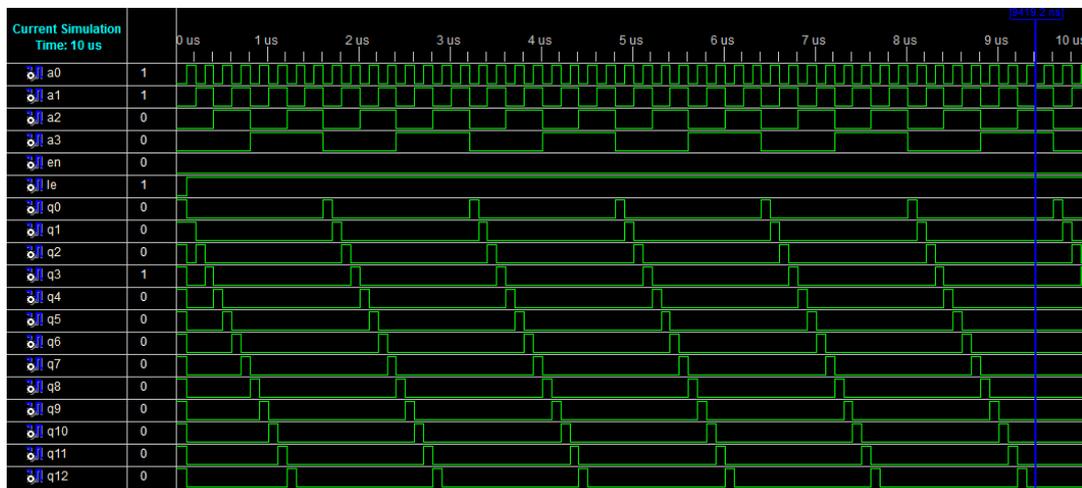
Setelah rancangan multiplexer 4 ke 16 dengan menggunakan masukan gambar skematik selesai dilakukan maka langkah selanjutnya yang diambil sebelum diunduh ke dalam keping FPGA adalah mensimulasikan program yang telah dibuat menggunakan program Xilinx ISE Simulator (ISim) versi 10.1.

Simulasi multiplexer 4 ke 16 dimulai dengan memberikan stimulus (masukan) untuk rangkaian multiplexer 4 ke 16. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpangkan ke masukan D0, D1, D2 dan D3 seperti diperlihatkan pada gambar 4.5.



Gambar 4.5 Test bench waveform multiplexer 4 ke 16

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian multiplexer 4 ke 16 jika diberikan masukan seperti pada gambar 4.5. Hasil simulasi multiplexer 4 ke 16 dengan masukan test bench waveform ditunjukkan pada gambar 4.6.



Gambar 4.6 Hasil simulasi multiplexer 4 ke 16

Hasil simulasi yang telah dihasilkan oleh ISE 10.1 perlu dicocokkan kembali dengan tabel kebenaran multiplexer 4 ke 16 seperti tabel 4.2. Hasil simulasi

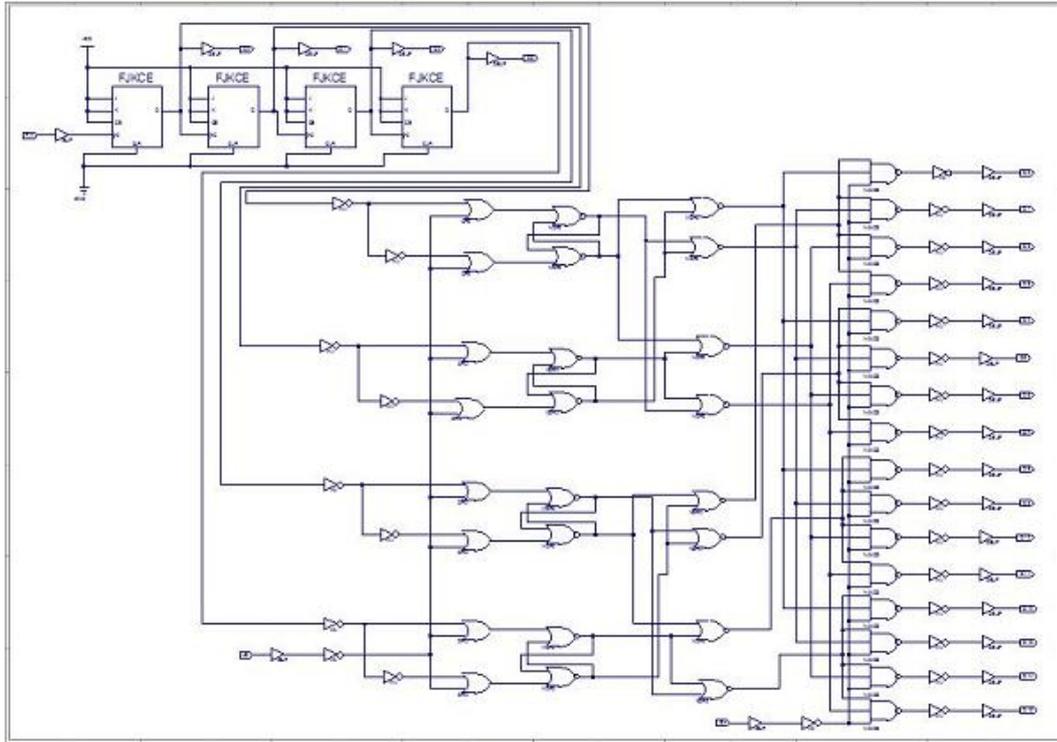
menunjukkan bahwa rangkaian multiplexer 4 ke 16 yang telah dirancang telah sesuai dengan tabel kebenaran multiplexer 4 ke 16.

Tabel 4.2. Tabel kebenaran multiplexer 4 ke 16

INPUTS					OUTPUTS																
\bar{E}	A ₀	A ₁	A ₂	A ₃	\bar{Q}_0	\bar{Q}_1	\bar{Q}_2	\bar{Q}_3	\bar{Q}_4	\bar{Q}_5	\bar{Q}_6	\bar{Q}_7	\bar{Q}_8	\bar{Q}_9	\bar{Q}_{10}	\bar{Q}_{11}	\bar{Q}_{12}	\bar{Q}_{13}	\bar{Q}_{14}	\bar{Q}_{15}	
H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	H	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	H	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	H	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	H	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H

4.3 Hasil Pengujian Rangkaian counter 4 bit dan multiplexer 4 ke 16

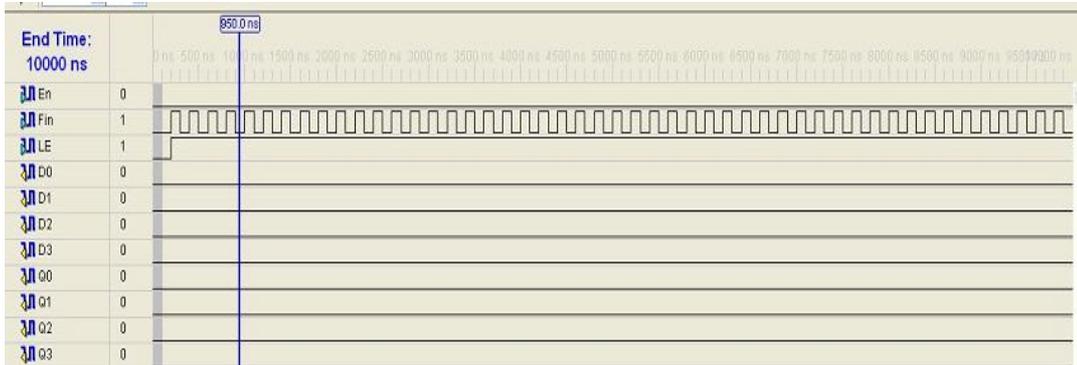
Rancangan pengujian gabungan antara counter 4 bit dan multiplexer mengacu pada gambar 4.7. Rancangan counter 4 bit dan multiplexer 4 ke 16 disimulasikan terlebih dahulu pada Xilinx ISE 10.1 untuk mengetahui unjuk kerja dari counter 4 bit dan multiplexer 4 ke 16 , apakah sudah sesuai dengan hasil perancangan.



Gambar 4.7 Rangkaian pengujian counter 4 bit dan multiplexer 4 ke 16

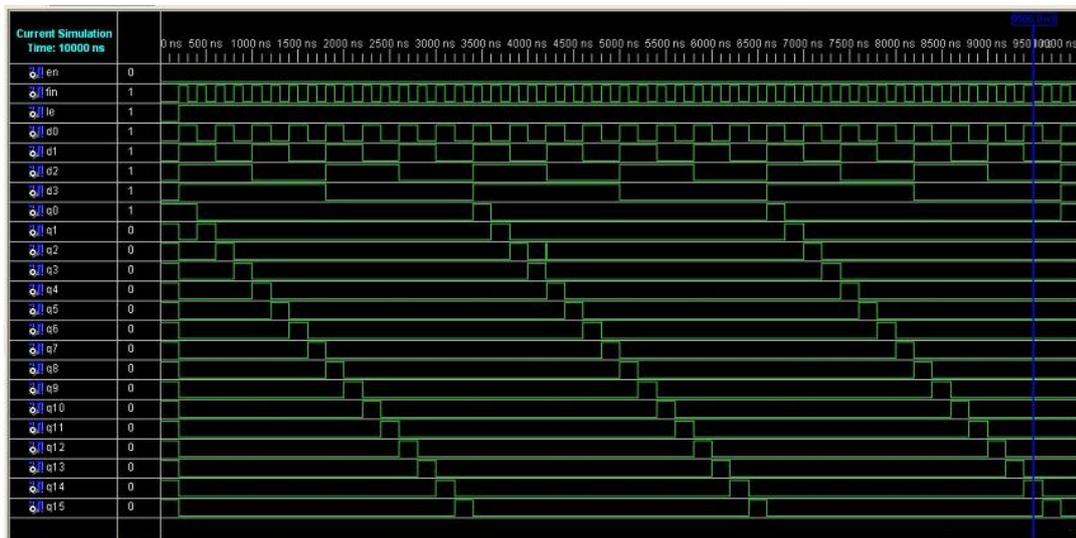
Setelah rancangan counter 4 bit dan multiplexer 4 ke 16 dengan menggunakan masukan gambar skematik selesai dilakukan maka langkah selanjutnya yang diambil sebelum diunduh ke dalam keping FPGA adalah mensimulasikan program yang telah dibuat menggunakan program Xilinx ISE Simulator (ISim) versi 10.1.

Simulasi counter 4 bit dan multiplexer 4 ke 16 dimulai dengan memberikan stimulus (masukan) untuk rangkaian counter 4 bit dan multiplexer 4 ke 16. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpankan ke masukan Fin seperti diperlihatkan pada gambar 4.8.



Gambar 4.8. Test bench waveform counter 4 bit dan multiplexer 4 ke 16

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian counter 4 bit dan multiplexer 4 ke 16 jika diberikan masukan seperti pada gambar 4.8. Hasil simulasi multiplexer 4 ke 16 dengan masukan test bench waveform ditunjukkan pada gambar 4.9.



Gambar 4.9 Hasil simulasi counter 4 bit dan multiplexer 4 ke 16

Hasil simulasi menunjukkan bahwa rangkaian counter 4 bit dan multiplexer 4 ke 16 yang telah dirancang telah sesuai dengan hasil perancangan. Pad report pada ISE adalah interaksi antara pin yang digunakan pada FPGA dengan nama sinyal yang diberikan pada perancangan, berikut adalah pad report yang dihasilkan secara otomatis pada Xilinx sesuai pada tabel 4.3.

Tabel 4.3. Pad report

No.	Pin Number	Signal Name
1	P3	Q0
2	P4	Q1
3	P5	Q2
4	P6	Q3
5	P7	Q4
6	P10	Q5
7	P13	Q6
8	P12	Q7
9	P20	Q8
10	P19	Q9
11	P27	Q10
12	P23	Q11
13	P21	Q12
14	P30	Q13
15	P28	Q14
16	P29	Q15
17	P26	En
18	P22	LE
19	P91	Fin
20	P39	D0

21	P31	D1
22	P38	D2
23	P11	D3

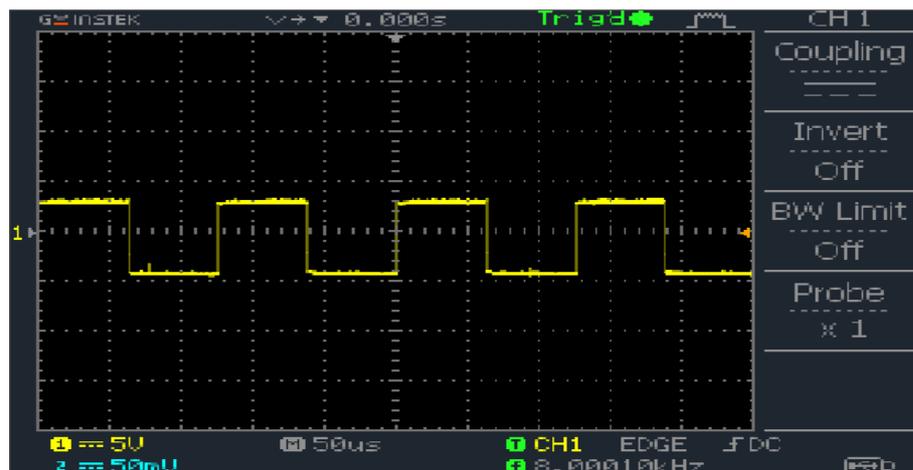
Pad report yang dihasilkan secara otomatis oleh Xilinx kadang kala tidak sesuai dengan pin-pin yang ingin digunakan oleh perancang, sehingga perlu sebuah langkah untuk mengubah pin-pin otomatis dari Xilinx ini menjadi pin-pin yang sesuai dengan keinginan perancang, yaitu dengan membuat constrain file. Pada constrain file ini kita dapat mengatur secara bebas pin-pin input/output mana yang ingin kita gunakan. Setelah melakukan perubahan, tabel 4.4 menunjukkan pin-pin yang digunakan oleh perancang dalam penelitian ini.

Tabel 4.4. Pad report sesuai keinginan perancang

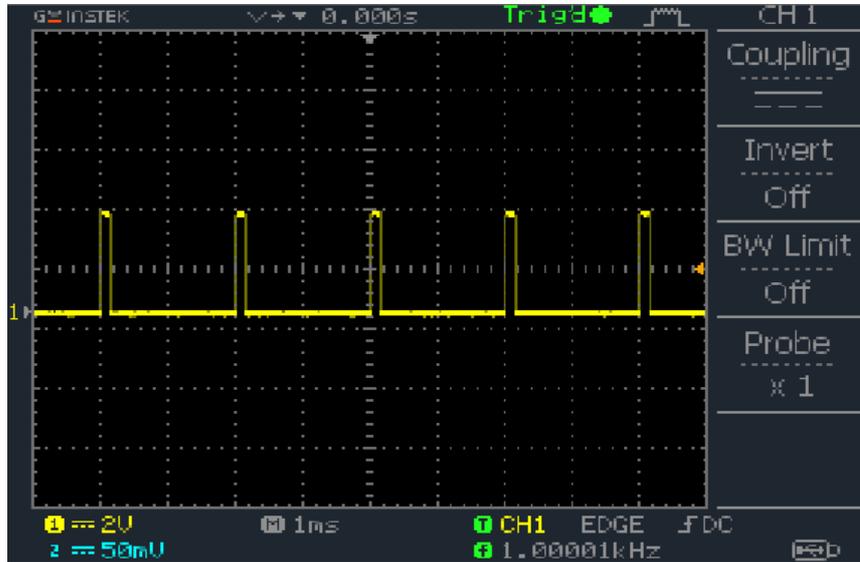
No.	Pin Number	Signal Name
1	P20	Q0
2	P22	Q1
3	P23	Q2
4	P26	Q3
5	P29	Q4
6	P40	Q5
7	P56	Q6
8	P59	Q7
9	P64	Q8
10	P66	Q9
11	P74	Q10
12	P75	Q11
13	P76	Q12

14	P80	Q13
15	P83	Q14
16	P84	Q15
17	P86	En
18	P19	LE
19	P13	Fin
20	P3	D0
21	P4	D1
22	P7	D2
23	P10	D3

Setelah pin-pin input/output telah sesuai dengan keinginan perancang, maka tahap selanjutnya adalah melakukan downloading bit stream dari software ISE 10.1 ke keping FPGA XC2S100 yang ada pada XSA-100 board. Gambar 4.10 adalah gambar sinyal masukan Fin yang berasal dari audio frequency generator (AFG) dengan frekuensi sebesar 8 KHz dan amplitudo 3,5 Vp-p dan keluaran dari multiplexer 4 ke 16 ditunjukkan pada gambar 4.11.



Gambar 4.10. Frekuensi masukan Fin



Gambar 4.11. Frekuensi keluaran multiplexer pada pin Q0...Q15

BAB V

PENUTUP

5.1. Kesimpulan

Setelah mendapatkan hasil perancangan, pembuatan dan pengujian yang telah dilakukan, maka penulis membuat kesimpulan sebagai berikut :

1. Perancangan counter 4 bit dan multiplexer 4 ke 16 dapat diimplementasikan menggunakan design entry schematic.
2. Hasil simulasi rancangan counter 4 bit dan multiplexer 4 ke 16 sudah sesuai dengan tabel kebenarannya.
3. Download bit stream ke keping FPGA XC2S100 telah dilakukan dan keping FPGA telah bekerja sesuai dengan hasil perancangan.
4. Waktu propagasi (maximum combination path delay) yang dihasilkan pada perancangan ini adalah sebesar 25,128 nS.

5.2 Saran

Dari hasil perancangan, pembuatan dan pengujian alat, terdapat beberapa kekurangan untuk mendapatkan hasil yang optimal. Pengembangan alat lebih lanjut ini agar dapat bekerja dengan mengoptimalkan kekurangan yang terjadi, seperti :

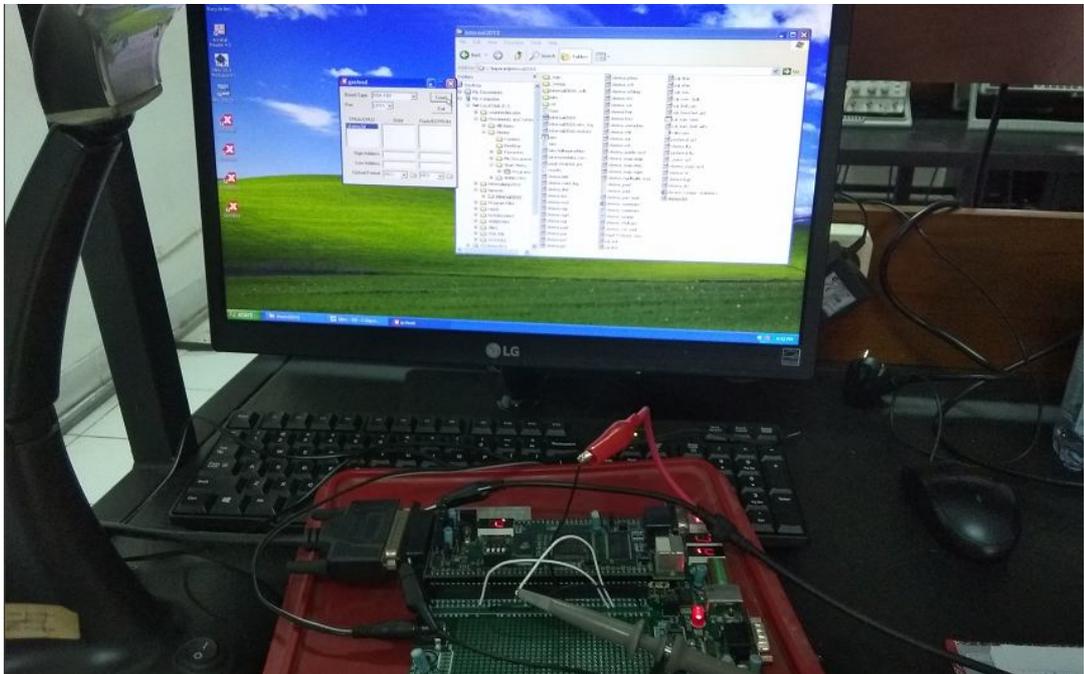
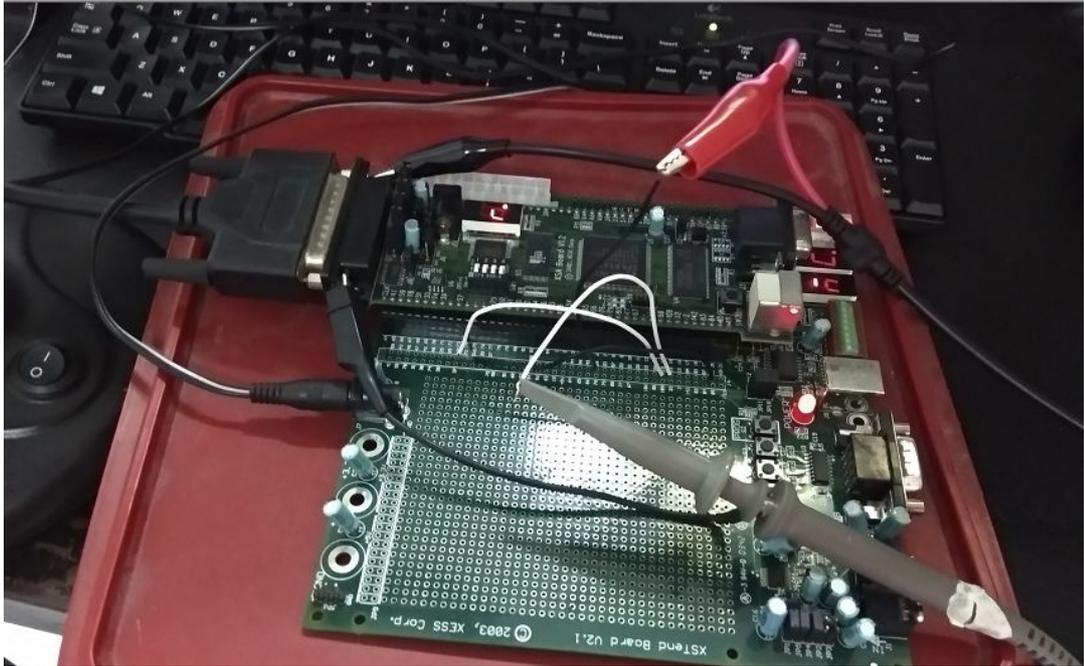
1. Design entry counter 4 bit dan multiplexer yang digunakan adalah skematik, dapat dikembangkan dengan jenis design entry yang lain, misalnya VHDL module..
2. File simulasi yang digunakan adalah test bench waveform, dapat dikembangkan untuk tipe file simulasi yang lain seperti VHDL test bench.

DAFTAR PUSTAKA

- [1] Cavanagh J, J.F, 1985, “ Digital Computer Arithmetic”, McGraw-Hill Book Company
- [2] Dave Van den Bout, 1998, ”*The Practical Xilinx Designer Lab Book*”, penerbit Prentice Hall International Inc.
- [3] Dermawan D., 2009, ” Implementasi Tapis digital infinite impuls response (IIR) pada Field Programmable Gate Array (FPGA)”, Thesis S2 Universitas Gadjah Mada.
- [4] Kuc R., 1982, ” Introduction to digital signal processing”, McGraw-Hill Book Company
- [5] Tindler R.F., 2002, ” Digital Engineering Design”, Prentice – Hall International Inc.
- [6] _____, 2003, “*Model Sim Xilinx Edition II Tutorial Version 5.7c*”, Model Technology.
- [7]_____, 2002, “*XStend Board V2.1 Manual*”, Xess Corp.
- [8]_____, 2003, ”*ISE 6 In-Dept Tutorial*”, Xilinx
- [9]_____, 2003, ” *ISE Quick Start Tutorial*”, Xilinx
- [10]_____, 2003, ”*Introduction to WebPACK6.1 (Using Xilinx WebPACK Software to Create FPGA Design for the XSA Board)*”, Xess Corporation.
- [11]_____, 1995, ”*DAC0808 8 bit D/A Converter data sheet*”, National Semiconductor.
- _____, 2002, ”*ADC0809 8 bit uP Compatible A/D with 8 Channel Multiplexer datasheet*”, National Semiconductor.
- [3] Xess Corp, 2008, ”Xilinx ISE 10 Tutorial, A tutorial on using the Xilinx ISE software to create FPGA designs for the XESS XSA Board”.

FOTO- FOTO KEGIATAN PENELITIAN





PERANCANGAN COUNTER 4 BIT DAN LED DEKODER PADA RADIO DIRECTION FINDER MENGGUNAKAN XILINX SPARTAN 2 FPGA

Denny Dermawan¹

¹Departemen Teknik Elektro Sekolah Tinggi Teknologi Adisutjipto Yogyakarta

Korespondensi : dennydermawan@stta.ac.id

Abstrak

Led decoder adalah suatu piranti elektronik yang berfungsi untuk mengubah suatu kombinasi masukan menjadi kombinasi keluaran tertentu yang akan ditampilkan melalui sekumpulan lampu led. Led decoder yang digunakan untuk penelitian ini adalah pengubah kombinasi biner 4 bit dari counter menjadi sekumpulan tampilan led yang bersesuaian dengan masukan dari counter. Pada dasarnya led dekoder yang digunakan adalah sebuah demultiplexer dari 4 ke 16. Integrated Circuit (IC) kegunaan khusus yang digunakan sebagai counter dan led decoder dari seri TTL adalah 74 HC161 untuk counter dan 74HC451 untuk led dekoder.

Ketersediaan IC kegunaan khusus kadang kala terbatas, karena sudah tidak diproduksi lagi sehingga menghilang dari pasaran, sehingga dalam penelitian ini akan dirancang rangkaian counter 4 bit dan led dekoder dalam sebuah keping Field Programmable Gate Array (FPGA) Sparta2 tipe Xc2S100 pada papan XSA-100 dari Xess Corp, dengan desain masukan menggunakan skematik. Penelitian meliputi perancangan counter 4 bit dan led decoder menggunakan skematik, simulasi hasil rancangan menggunakan perangkat lunak ISim dan unduh program ke dalam Xilinx Spartan 2 FPGA. Simulasi dilakukan dengan memberikan frekuensi masukan dari audio frequency generator dan mengamati hasil keluaran secara grafis yang dihasilkan oleh ISim.

Hasil Simulasi menunjukkan bahwa perancangan skematik rangkaian counter 4 bit dan led dekoder sudah sesuai dengan yang diharapkan. Waktu tunda maksimum (maximum path delay) yang dihasilkan adalah sebesar 25,128 nS.

Kata kunci : Counter, multiplexer, FPGA Spartan2 XC2s100

Abstract

Led decoder is an electronic device that have functions to convert an input combination into a particular output combination that will be displayed through a set of led lights. The led decoder used for this study is a modifier of a 4 bit binary combination from a counter into a set of LED displays that corresponds to the input from the counter. Basically the led decoder used is a 4 to 6 multiplexer. Special purpose integrated circuit (IC) used as a counter and led decoder from the TTL series is 74 HC161 for the counter and 74HC451 for the led decoder.

Availability of IC special uses is sometimes limited, because it is no longer produced by the produsen so it disappears from the market, so in this study a 4-bit counter and led decoder circuit is designed in a Sparta2 Xc2S100 Field Programmable Gate Array (FPGA) on the XSA-100 board from Xess Corp, with input design using schematics. The research includes designing a 4-bit counter and led decoder using a schematic, simulating the design using ISim software and downloading the program into Xilinx Spartan 2 FPGA. Simulation is done by providing input frequency from the audio frequency generator and observing the output graphically produced by ISim.

Simulation results show that the schematic design of a 4-bit counter circuit and led decoder is as expected. The maximum delay time generated is 25,128 nS.

Keywords: Counter, multiplexer, Spartan2 XC2s100 FPGA

1. PENDAHULUAN

Led decoder adalah suatu piranti elektronik yang berfungsi untuk mengubah suatu kombinasi masukan menjadi kombinasi keluaran tertentu yang akan ditampilkan melalui sekumpulan lampu led. Led decoder yang digunakan untuk penelitian ini adalah pengubah kombinasi biner 4 bit dari counter menjadi sekumpulan tampilan led yang bersesuaian dengan masukan dari counter. Pada dasarnya led dekoder yang digunakan adalah sebuah demultiplexer dari 4 ke 16. Integrated Circuit (IC) kegunaan khusus yang digunakan sebagai led decoder ini dapat kita jumpai dengan mudah dipasaran, seri TTL yang ada di pasaran antara lain adalah 74HC4515 baik tipe SN maupun LS.

Field Programmable Gate Array (FPGA) adalah suatu piranti programmable devices (piranti yang dapat deprogram) yang dapat digunakan untuk mendesain rancangan elektronika. Salah satu kelebihan FPGA adalah FPGA mampu menerima berbagai macam design entry (masukan) yang beraneka ragam antara lain : VHDL, Verilog, State machine dan skematik yang tidak dimiliki oleh piranti terprogram yang lain.

FPGA yang digunakan dalam penelitian ini adalah Xilinx Spratan 2 FPGA yang terdapat dalam XSA-100 board yang merupakan pabrikan dari XESS Corporation. Koneksi yang diperlukan untuk menghubungkan XSA Board ini adalah menggunakan kabel parallel 25 pin (DB25).

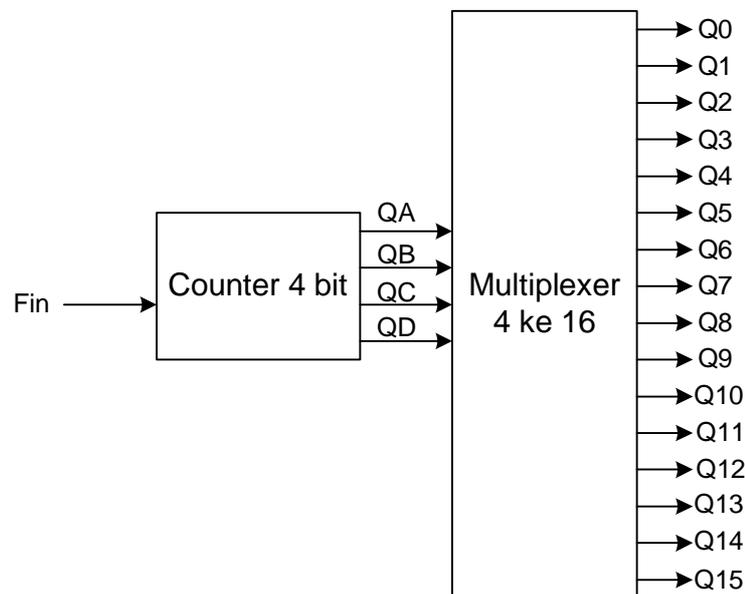
Perangkat lunak yang digunakan untuk pemrograman FPGA ini adalah Xilinx ISE 10.1 Webpack yang dapat kita unduh secara gratis pada Xilinx.com. Xilinx telah mengeluarkan seri Webpack sebelumnya seperti Xilinx Webpack4, Webpack 5, Webpack 6, namun Xilinx Webpack terdahulu tidak terintegrasi dengan Xilinx ISE Simulator yang diperlukan untuk simulasi hasil perancangan, sehingga pada penelitian ini digunakan Xilinx Webpack versi 10.1. Sebelum melakukan unduh hasil program ke dalam FPGA, maka terlebih dahulu adalah melakukan simulasi hasil rancangan

program. Perangkat lunak yang digunakan untuk simulasi adalah Xilinx ISE Simulator (ISim) yang sudah terintegrasi pada Xilinx ISE 10.1.

2. METODE PENELITIAN

2.1. Desain Counter 4 bit dan led dekoder

Desain counter 4 bit dan led dekoder yang akan digunakan pada alat radio detection finder diperlihatkan pada gambar 1.

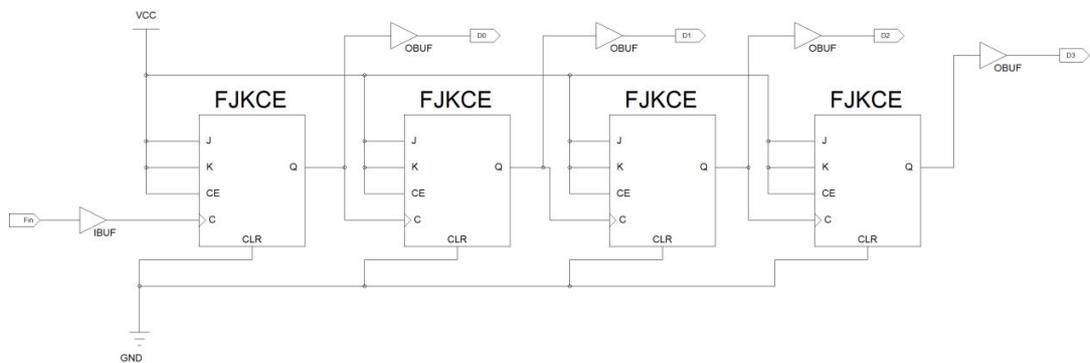


Gambar 1. Blok diagram perancangan

Rangkaian terdiri dari dua sub blok yaitu rangkaian counter 4 bit dan rangkaian led dekoder 4 ke 16. Masukan berupa sinyal Fin dapat berasal dari rangkaian aplikasi ataupun dari Audio Frequency Generator (AFG). Keluaran counter adalah BCD 4 bit (Qa, Qb, Qc dan Qd) yang akan diumpankan ke masukan rangkaian led dekoder yang berisi rangkaian multiplexer 4 ke 16. Keluaran multiplexer adalah saluran 16 bit yang salah satu akan aktif bersesuaian dengan masukan multiplexer. Keluaran multiplexer diberi simbol Q0, Q1,, Q15.

2.2. Perancangan counter 4 bit

Desain FPGA yang pertama adalah counter 4 bit. Sebuah counter 4 bit dapat disusun dari 4 buah RS flip-flop yang saling terhubung antara keluaran flip-flop dengan masukan clock. Sebagai masukan counter adalah sebuah sumber eksternal bisa dari rangkaian aplikasi maupun sebuah alat pembangkit frekuensi, AFG (Audio Frequency Generator), f_{in} dan keluarannya ada 4 bit yaitu Q0, Q1, Q2 dan Q3 yang masing – masing mempunyai frekuensi keluaran sebesar $f_{in}/2$, $f_{in}/4$, $f_{in}/8$ dan $f_{in}/16$ berturut- turut. Rangkaian counter 4 bit menggunakan RS flip-flop diperlihatkan pada gambar 2.



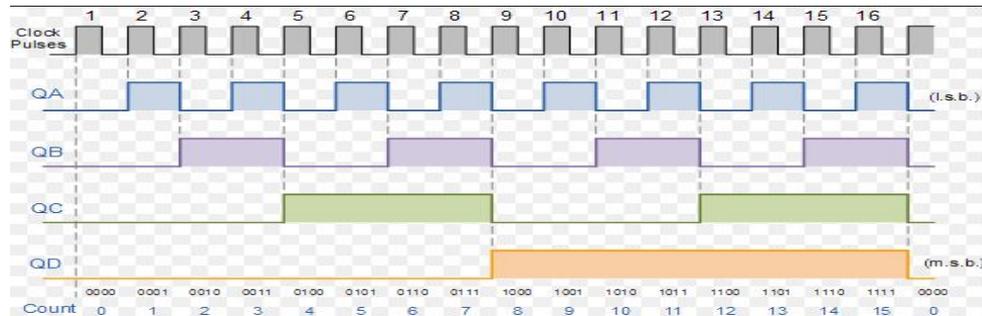
Gambar 2. Rangkaian counter 4 bit

Tabel kebenaran untuk counter 4 bit diperlihatkan pada tabel 1.

Tabel 1. Tabel kebenaran counter 4 bit

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Timing diagram untuk counter 4 bit diperlihatkan pada gambar 3.



Gambar 3. Timing diagram counter 4 bit

Frekuensi masukan yang diberikan pada rangkaian counter 4 bit ini adalah sebesar 8 KHz agar dapat menghasilkan frekuensi doppler sebesar 500 Hz pada keluaran Q3 atau Q_D.

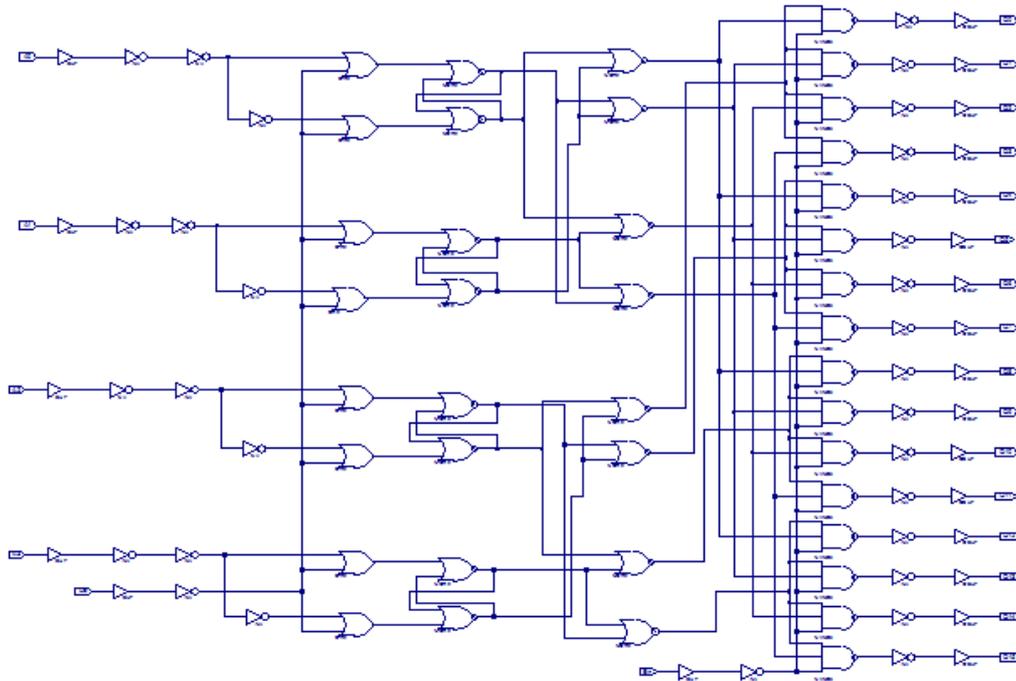
2.3 Perancangan multiplexer 4 ke 16

Desain FPGA yang kedua adalah sebuah led dekode yang pada intinya tersusun dari sebuah multiplexer 4 ke 16. Masukan rangkaian multiplexer ini berasal dari keluaran counter 4 bit. Keluaran multiplexer adalah aktif salah satu sesuai dengan kombinasi masukannya. Tabel kebenaran dari sebuah multiplexer 4 ke 16 diperlihatkan pada tabel 2.

Tabel 2. Tabel kebenaran multiplexer 4 ke 16

INPUTS					OUTPUTS																
\bar{E}	A ₀	A ₁	A ₂	A ₃	\bar{Q}_0	\bar{Q}_1	\bar{Q}_2	\bar{Q}_3	\bar{Q}_4	\bar{Q}_5	\bar{Q}_6	\bar{Q}_7	\bar{Q}_8	\bar{Q}_9	\bar{Q}_{10}	\bar{Q}_{11}	\bar{Q}_{12}	\bar{Q}_{13}	\bar{Q}_{14}	\bar{Q}_{15}	
H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

Rangkaian elektronik penyusun multiplexer 4 ke 16 diperlihatkan pada gambar 4.

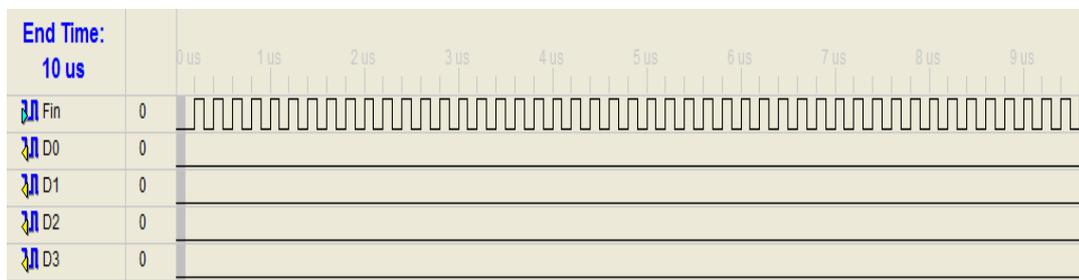


Gambar 4. Rangkaian multiplexer 4 ke 16

3. HASIL DAN ANALISA

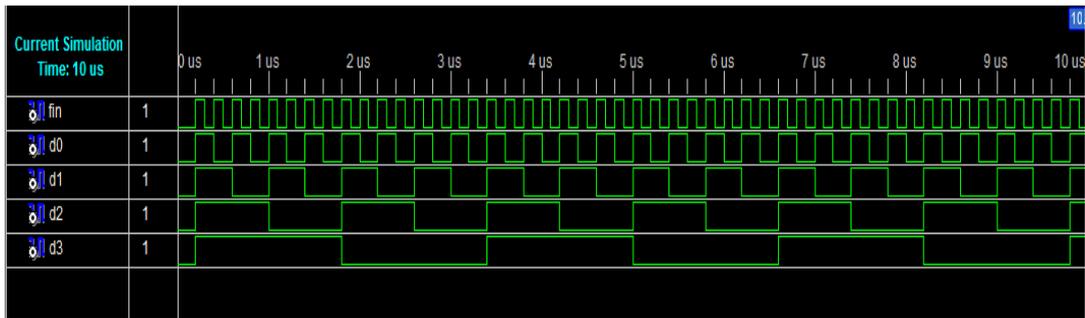
3.1. Hasil pengujian rangkaian counter 4 bit

Simulasi counter 4 bit dimulai dengan memberikan stimulus (masukan) untuk rangkaian counter 4 bit. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpankan ke masukan Fin seperti diperlihatkan pada gambar 5.



Gambar 5. Test bench waveform counter 4 bit

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian ciunter 4bit jika diberikan masukan seperti pada gambar 5. hasil simulasi counter 4 bit dengan masukan test bengc waveform ditunjukkan pada gambar 6.

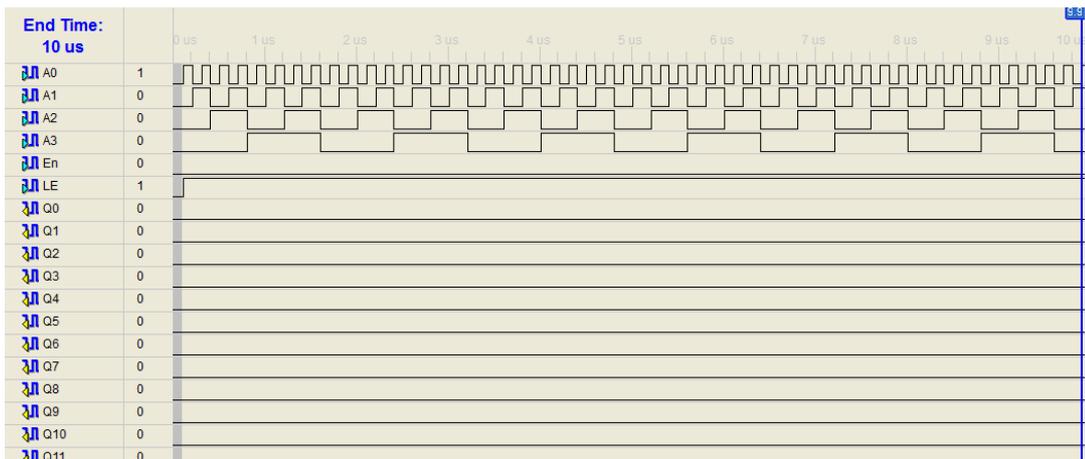


Gambar 6. Hasil simulasi counter 4 bit.

Hasil simulasi yang telah dihasilkan oleh ISE 10.1 perlu dicocokkan kembali dengan tabel kebenaran counter 4 bit . Hasil simulasi menunjukkan bahwa rangkaian counter 4 bit yang telah dirancang telah sesuai dengan tabel kebenaran counter 4 bit.

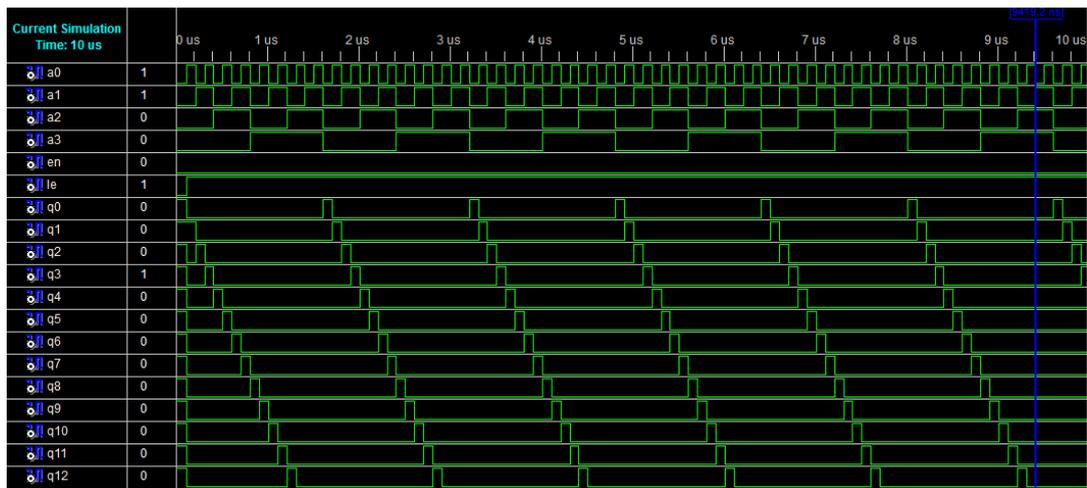
3.2. Hasil pengujian rangkaian multiplexer 4 ke 16

Simulasi multiplexer 4 ke 16 dimulai dengan memberikan stimulus (masukan) untuk rangkaian multiplexer 4 ke 16. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpankan ke masukan D0, D1, D2 dan D3 seperti diperlihatkan pada gambar 7.



Gambar 7. Test bench waveform multiplexer 4 ke 16

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian multiplexer 4 ke 16 jika diberikan masukan seperti pada gambar 7. Hasil simulasi multiplexer 4 ke 16 dengan masukan test bench waveform ditunjukkan pada gambar 8.



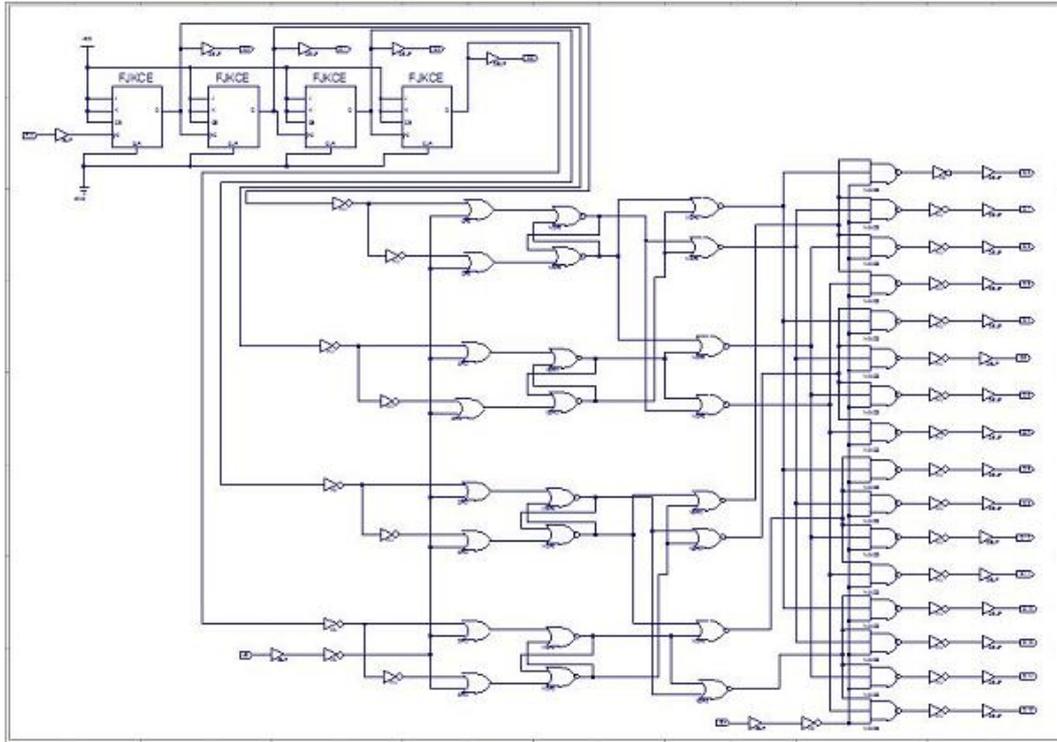
Gambar 8. Hasil simulasi multiplexer 4 ke 16

Hasil simulasi yang telah dihasilkan oleh ISE 10.1 perlu dicocokkan kembali dengan tabel kebenaran multiplexer 4 ke 16. Hasil simulasi menunjukkan bahwa rangkaian multiplexer 4 ke 16 yang telah dirancang telah sesuai dengan tabel kebenaran multiplexer 4 ke 16.

3.3. Hasil pengujian keseluruhan

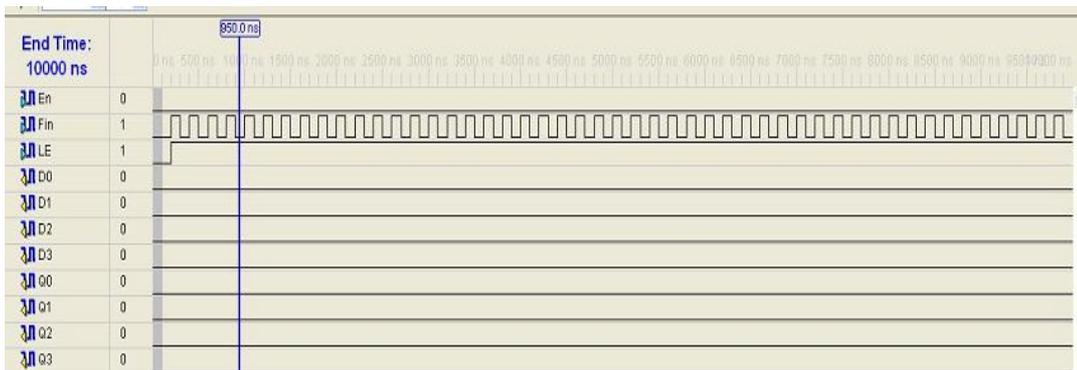
Rancangan pengujian gabungan antara counter 4 bit dan multiplexer mengacu pada gambar 9. Rancangan counter 4 bit dan multiplexer 4 ke 16 disimulasikan terlebih dahulu pada Xilinx ISE 10.1 untuk mengetahui unjuk kerja dari counter 4 bit dan multiplexer 4 ke 16, apakah sudah sesuai dengan hasil perancangan.

Setelah rancangan counter 4 bit dan multiplexer 4 ke 16 dengan menggunakan masukan gambar skematik selesai dilakukan maka langkah selanjutnya yang diambil sebelum diunduh ke dalam keping FPGA adalah mensimulasikan program yang telah dibuat menggunakan program Xilinx ISE Simulator (ISim) versi 10.1.



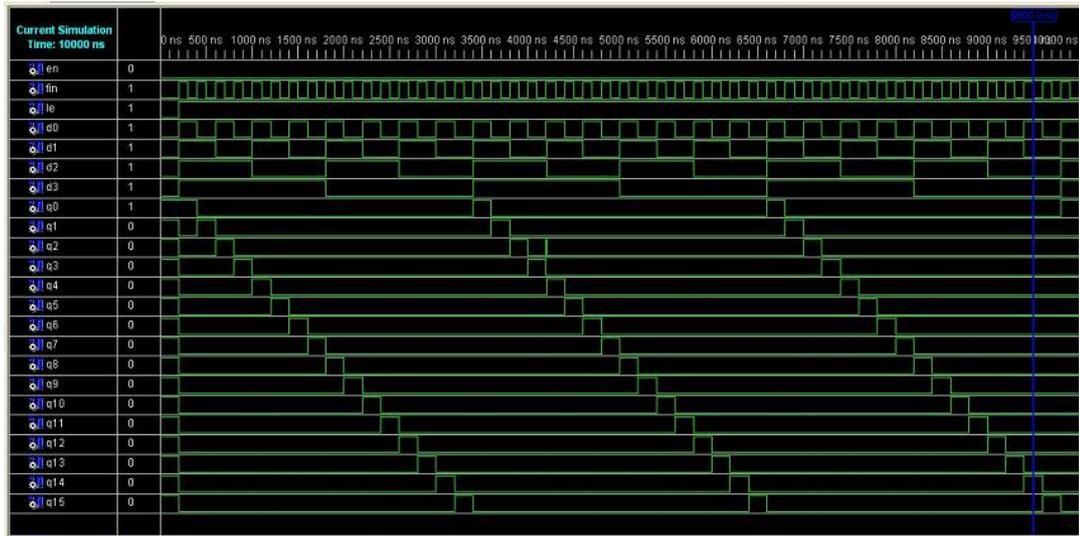
Gambar 9. Rangkaian pengujian counter 4 bit dan multiplexer 4 ke 16

Simulasi counter 4 bit dan multiplexer 4 ke 16 dimulai dengan memberikan stimulus (masukan) untuk rangkaian counter 4 bit dan multiplexer 4 ke 16. Stimulus berupa test bench waveform berupa sinyal kotak yang diumpangkan ke masukan Fin seperti diperlihatkan pada gambar 10.



Gambar 10. Test bench waveform counter 4 bit dan multiplexer 4 ke 16

Langkah berikutnya adalah melakukan simulasi terhadap rangkaian counter 4 bit dan multiplexer 4 ke 16 jika diberikan masukan seperti pada gambar 10. Hasil simulasi multiplexer 4 ke 16 dengan masukan test bench waveform ditunjukkan pada gambar 11.



Gambar 11 Hasil simulasi counter 4 bit dan multiplexer 4 ke 16

Hasil simulasi menunjukkan bahwa rangkaian counter 4 bit dan multiplexer 4 ke 16 yang telah dirancang telah sesuai dengan hasil perancangan. Pad report pada ISE adalah interaksi antara pin yang digunakan pada FPGA dengan nama sinyal yang diberikan pada perancangan, berikut adalah pad report yang dihasilkan secara otomatis pada Xilinx sesuai pada tabel 4.3.

Tabel 3. Pad report

No.	Pin Number	Signal Name
1	P3	Q0
2	P4	Q1
3	P5	Q2
4	P6	Q3
5	P7	Q4
6	P10	Q5
7	P13	Q6

8	P12	Q7
9	P20	Q8
10	P19	Q9
11	P27	Q10
12	P23	Q11
13	P21	Q12
14	P30	Q13
15	P28	Q14
16	P29	Q15
17	P26	En
18	P22	LE
19	P91	Fin
20	P39	D0
21	P31	D1
22	P38	D2
23	P11	D3

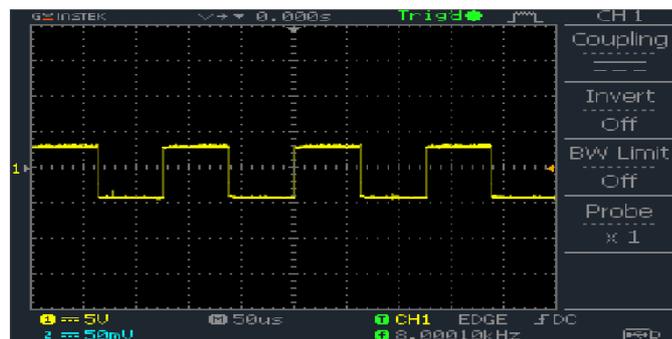
Pad report yang dihasilkan secara otomatis oleh Xilinx kadang kala tidak sesuai dengan pin-pin yang ingin digunakan oleh perancang, sehingga perlu sebuah langkah untuk mengubah pin-pin otomatis dari Xilinx ini menjadi pin-pin yang sesuai dengan keinginan perancang, yaitu dengan membuat constrain file. Pada constrain file ini kita dapat mengatur secara bebas pin-pin input/output mana yang ingin kita gunakan. Setelah melakukan perubahan, tabel 4 menunjukkan pin-pin yang digunakan oleh perancang dalam penelitian ini.

Tabel 4. Pad report sesuai keinginan perancang

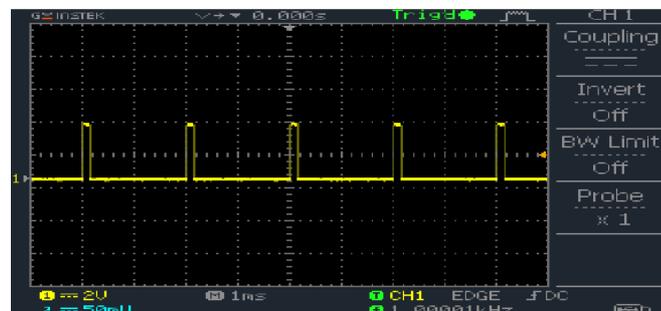
No.	Pin Number	Signal Name
1	P20	Q0
2	P22	Q1
3	P23	Q2
4	P26	Q3
5	P29	Q4
6	P40	Q5
7	P56	Q6
8	P59	Q7
9	P64	Q8
10	P66	Q9
11	P74	Q10
12	P75	Q11
13	P76	Q12

14	P80	Q13
15	P83	Q14
16	P84	Q15
17	P86	En
18	P19	LE
19	P13	Fin
20	P3	D0
21	P4	D1
22	P7	D2
23	P10	D3

Setelah pin-pin input/output telah sesuai dengan keinginan perancang, maka tahap selanjutnya adalah melakukan downloading bit stream dari software ISE 10.1 ke keping FPGA XC2S100 yang ada pada XSA-100 board. Gambar 12 adalah gambar sinyal masukan Fin yang berasal dari audio frequency generator (AFG) dengan frekuensi sebesar 8 KHz dan amplitudo 3,5 Vp-p dan keluaran dari multiplexer 4 ke 16 ditunjukkan pada gambar 13.



Gambar 12. Frekuensi masukan Fin



Gambar 13. Frekuensi keluaran multiplexer pada pin Q0...Q15

4. KESIMPULAN

4.1 Kesimpulan

Setelah mendapatkan hasil perancangan, pembuatan dan pengujian yang telah dilakukan, maka penulis membuat kesimpulan sebagai berikut :

1. Perancangan counter 4 bit dan multiplexer 4 ke 16 dapat diimplementasikan menggunakan design entry schematic.
2. Hasil simulasi rancangan counter 4 bit dan multiplexer 4 ke 16 sudah sesuai dengan tebal kebenarannya.
3. Download bit stream ke keping FPGA XC2S100 telah dilakukan dan keping FPGA telah bekerja sesuai dengan hasil perancangan.
4. Waktu propagasi (maximum combination path delay) yang dihasilkan pada perancangan ini adalah sebesar 25,128 nS.

4.2 Saran

Dari hasil perancangan, pembuatan dan pengujian alat, terdapat beberapa kekurangan untuk mendapatkan hasil yang optimal. Pengembangan alat lebih lanjut ini agar dapat bekerja dengan mengoptimalkan kekurangan yang terjadi, seperti :

1. Design entry counter 4 bit dan multiplexer yang digunakan adalah skematik, dapat dikembangkan dengan jenis design entry yang lain, misalnya VHDL module..
2. File simulasi yang digunakan adalah test bench waveform, dapat dikembangkan untuk tipe file simulasi yang lain seperti VHDL test bench.

DAFTAR PUSTAKA

- [1] Cavanagh J, J.F, 1985, " Digital Computer Arithmetic", McGraw-Hill Book Company
- [2] Dave Van den Bout, 1998, "The Practical Xilinx Designer Lab Book", penerbit Prentice Hall International Inc.
- [3] Dermawan D., 2009, " Implementasi Tapis digital infinite impuls response (IIR) pada Field Programmable Gate Array (FPGA)", Thesis S2 Universitas Gadjah Mada.
- [4] Kuc R., 1982, " Introduction to digital signal processing", McGraw-Hill Book Company
- [5] Tander R.F., 2002, " Digital Engineering Design", Prentice – Hall International Inc.
- [6] _____, 2003, "Model Sim Xilinx Edition II Tutorial Version 5.7c", Model Technology.
- [7] _____, 2002, "XStend Board V2.1 Manual", Xess Corp.
- [8] _____, 2003, "ISE 6 In-Dept Tutorial", Xilinx
- [9] _____, 2003, " ISE Quick Start Tutorial", Xilinx

- [10]_____., 2003, "*Introduction to WebPACK6.1 (Using Xilinx WebPACK Software to Create FPGA Design for the XSA Board)*", Xess Corporation.
- [11]_____., 1995, "*DAC0808 8 bit D/A Converter data sheet*", National Semiconductor.
- _____., 2002, "*ADC0809 8 bit uP Compatible A/D with 8 Channel Multiplexer datasheet*", National Semiconductor.
- [3] Xess Corp, 2008, "*Xilinx ISE 10 Tutorial, A tutorial on using the Xilinx ISE software to create FPGA designs for the XESS XSA Board*".