

ISBN : 978-602-19997-1-4 (jil 1)

---

**PROSIDING  
SEMINAR NASIONAL  
KOMPUTER DAN ELEKTRO  
(SENAPUTRO) 2012**

**BUKU-1**

**10 Maret 2012**



**Editor : Sukoco**

**FAKULTAS TEKNIK  
UNIVERSITAS SURAKARTA  
2012**

---

**PROSIDING  
SEMINAR NASIONAL KOMPUTER DAN ELEKTRO  
(SENAPUTRO) 2012  
UNIVERSITAS SURAKARTA  
BUKU 1**

“Pengembangan Sains dan Teknologi Komputer, Informatika dan Elektro  
untuk Kemandirian Bangsa”.

Sabtu, 10 Maret 2012.

Editor :

Sukoco

**PUBLISH BY :  
FAKULTAS TEKNIK  
UNIVERSITAS SURAKARTA**

Perpustakaan Nasional RI : data Katalog Dalam Terbitan (KDT)  
SEMINAR NASIONAL KOMPUTER DAN ELEKTRO 2012 : Surakarta)

Prosiding SEMINAR NASIONAL KOMPUTER DAN ELEKTRO 2012 BUKU 1: Pengembangan Sains dan Teknologi Komputer, Informatika dan Elektro untuk Kemandirian Bangsa : Auditorium Prof. Dr. H.S. Brodjo Sudjono S.H.,M.S. Universitas Surakarta, Surakarta, Sabtu, 10 Maret 2012 / Editor, Sukoco—

Surakarta : Fakultas Teknik Universitas Surakarta, 2012.

ix +210 hlm.; 21 x 29,7 cm.

ISBN 978-602-19997-1-4 ( jil-1 )

Komputer, Elektro – Prosiding. . Sukoco.

**TIM REVIEWER :**

Dr. , Drs. Azhari SN, MT.

Dr. Agfianto Eko Putro, M.Si.

Dr.tech Khabib Mustofa, S.Si., M.Kom

Dr. Abdul Fadlil, M.T.

Ir. Tri Irianto TJ, M.T.

Sukoco, S.Si., M.Si., M.Kom.

Publish by Fakultas Teknik  
Universitas Surakarta

## DAFTAR ISI

KATA PENGANTAR	
VISUALISASI LALU LINTAS DATA PADA JARINGAN DENGAN MENGGUNAKAN LIBRARY SHARPPCAP <i>Agustinus Noertjahyana, Haryanto Tunggary, Justinus Andjarwirawan</i> .....	1
KINERJA PENJADWALAN <i>MODIFIED DEFICIT ROUND ROBIN</i> (MDRR) DAN <i>ROUND ROBIN</i> (RR) PADA JARINGAN <i>MOBILE WIMAX</i> <i>Ajub Ajulian Zahra, Sukiswo, Cahyo Utomo</i> .....	10
ANALISIS PENGARUH JARAK TERHADAP KUALITAS JARINGAN ADSL PADA ARAH UPLINK DI TELKOM PURWOKERTO <i>Anggun Fitriani Isnawati, Irwan Susant<sup>1</sup>, Kinanthi Nindhita Widosari</i> .....	19
KOMBINASIONAL AVR DAN PSS GENERATOR DENGAN KENDALI LOGIKA <i>FUZZY</i> DAN KONVENSIONAL PADA PEREDAMAN OSILASI FREKUENSI RENDAH <i>Ari Santoso<sup>1</sup>, Sasongko Pramonohadi, Suharyanto</i> .....	28
PENINGKATAN PERFORMANSI SISTEM TEMU BALIK INFORMASI DENGAN METODE <i>PHRASAL TRANSLATION</i> DAN <i>QUERY EXPANSION</i> <i>Ari Wibowo</i> .....	37
PERHITUNGAN LIGHTNING PERFORMANCE DENGAN MENGGUNAKAN OVERHEAD GROUND WIRE PADA PENYULANG RUKO DI PLN AREA SERPONG <i>Badaruddin, Rinalto Hutabarat</i> .....	44
PEMANFAATAN JARINGAN WiFi AD-HOC UNTUK PENGENDALIAN JAUH ROBOT MENTOR <i>Budi Bayu Murti</i> .....	52
PENGGUNAAN PROTOKOL <i>SECURE SHELL</i> (SSH) GUNA PENGAMANAN TRANSMISI DATA <i>Claudia Dwi Amanda, I Made Mustika</i> .....	59
SISTEM INFORMASI GARDU INDUK DAN GARDU DISTRIBUSI PLN BERBASIS WEBSITE <i>Dadang Iskandar, P Insap Santosa, F Danang Wijaya</i> .....	64
ANALISIS PEMANFAATAN ILP ( <i>INSTRUCTION LEVEL PARALLELISM</i> ) PADA SIMULATOR VLIW DALAM EXPLORASI SUMBER DAYA PERANGKAT KERAS ARSITEKTUR VLIW UNTUK ALGORITMA PENGOLAHAN CITRA <i>Debyo Saptono</i> .....	69

IMPLEMENTASI MODEL PROSESOR RISP ( <i>RECONFIGURABLE INSTRUCTION SET PROCESSOR</i> ) UNTUK APLIKASI PENGOLAHAN CITRA MENGGUNAKAN EKSTRAKSI PARALELISASI ILP <i>Debyo Saptano</i> .....	75
IMPLEMENTASI TAPIS DIGITAL FINITE IMPULSE RESPONSE (FIR) BERBASIS FPGA ( <i>FIELD PROGRAMMABLE GATE ARRAYS</i> ) <i>Denny Dermawan</i> .....	79
KLASIFIKASI TIPE MODULASI MENGGUNAKAN METODA DETEKSI SELUBUNG KOMPLEKS DAN PARAMETER STATISTIK <i>Desti Madya Saputri, Heroe Wijanto, Iwan Iwut Tritoasmoro</i> .....	84
PENGARUH KENAIKAN TEGANGAN IMPULS TERHADAP TINGKAT PERLINDUNGAN PERALATAN LISTRIK PADA ARESTER TEGANGAN RENDAH <i>Diah Suwarti</i> .....	93 ✓
KONVERGENSI JARINGAN TELEKOMUNIKASI MENUJU ERA NEXT GENERATION NETWORK (NGN) <i>Djasiodi Djasri</i> .....	98
KALIBRASI PADA APLIKASI PEWAKTU SISTEM MIKROKONTROLER <i>Djoko Untoro Suwarno</i> .....	104
PENGUKURAN END-TO-END DELAY PADA JARINGAN ZIGBEE DENGAN TOPOLOGI MATA JALA <i>Eka Wahyudi, Risanuri Hidayat, Sujoko Sumaryono</i> .....	107
MANAGEMENT USER CENTRALIZED HOTSPOT SEBAGAI SOLUSI JALUR DATA TERPUSAT <i>Fredy Susanto1, Sudaryono</i> .....	113
KOMUNIKASI NIRKABEL DENGAN METODE MANCHESTER UNTUK PENGENDALIAN PERALATAN LISTRIK PADA GEDUNG. <i>Hariato, Aloysius Alfa Adji Putra</i> .....	121
APLIKASI REMOTE DEKSTOP BERBASIS MOBILE MELALUI WIRELESS DENGAN TEKNOLOGI ANDROID <i>Jasman Pardede, Asep Nana Hermana</i> .....	130
APLIKASI DOCUMENT MANAGEMENT SYSTEM BERBASIS WEB DINAS PENDIDIKAN BPPTKPK <i>Jasman Pardede, Lisa Kristiana, Made Arianta Arief A</i> .....	136
AUTOMOBILE IGNITION INTERLOCK SYSTEM BASE ON BLOOD ALCOHOL CONTENT <i>Perdana Putera, Herlina Abdul Rahim</i> .....	145

# IMPLEMENTASI TAPIS DIGITAL FINITE IMPULSE RESPONSE (FIR) BERBASIS FPGA (FIELD PROGRAMMABLE GATE ARRAYS)

Denny Dermawan

Jurusan Teknik Elektro Sekolah Tinggi Teknologi Adisutjipto (STTA) Yogyakarta  
dennydermawanstta@gmail.com

## ABSTRACT

Digital filter that was designed and implemented is a finite impulse response (FIR) low pass digital filter with hamming windowing method.

This research steps : design finite impulse response low pass analog filter, design finite impulse response low pass digital filter, digital filter simulation and downloading the result from simulation to the XILINX SPARTAN II FPGA.

Implementation of digital filter coefficient is based on bit pair recoding algorithm because this algorithm have a shortest delay time according to the other algorithms ( booth and paper & Pencil )

Simulation tool used in this research is ModelSim Xilinx Edition II ver 5.7c starter edition (MXE II v5.7c). The result of simulation is downloaded to the SPARTAN II FPGA that mounting on the XSA-100 Board from XESS Corp. Observation is done for various amplitude of input signal and analysis is done for : delay time, CLB used and error presentation due to rounding in the implementation of digital filter coefficient.

Keywords : FIR low pass filter, Hamming window, simulation, FPGA

## 1. PENDAHULUAN

### 1.1 Latar Belakang

Implementasi tapis digital FIR (*Finite Impulse Response*) menggunakan FPGA telah banyak dilakukan antara lain adalah implementasi tapis digital FIR dengan pendekatan bit serial dan tapis FIR dengan aritmatika terdistribusi. Tapis FIR memerlukan metode penjedelaan (*windowing*) dalam realisasinya.

Koefisien yang muncul pada implementasi tapis digital FIR diwujudkan dengan perkalian biner. Banyak algoritma yang dapat digunakan untuk realisasi perkalian biner antara lain algoritma *paper & pencil*, *booth* dan *bit pair recoding*.

Pada penelitian ini akan dirancang tapis digital pelewat frekuensi rendah *low pass filter* (LPF) dengan penjedelaan Hamming yang akan diimplementasikan kedalam keping FPGA buatan Xilinx dengan seri SPARTAN II XC2S100 FPGA. Salah satu metode yang digunakan untuk implementasi rangkaian elektronika dengan menggunakan FPGA yaitu dengan merubah gambar untai elektronik digital dari perangkat lunak penggambar

*Integrated Software Environment* versi 6.3i (ISE 6.3i), buatan Xilinx, menjadi *file bit stream* dan dikonfigurasi secara perangkat keras seperti yang dirancang dalam perangkat lunak perancang ISE 6.3i.

### 1.2 Kajian Pustaka

Antoniou A., (1979) mengatakan bahwa implementasi *hardware* tapis digital dapat dibuat dalam berbagai bentuk, tergantung pada derajat keinginan dari dedikasi dan spesialisasi. Implementasi dapat diterapkan pada komputer yang dirancang dengan kegunaan khusus ataupun diterapkan pada *hardware* yang dirancang khusus untuk penapisan.

Gafar A., (2002), menyatakan bahwa tapis digital FIR pelewat frekuensi rendah dapat dibuat dengan metode penjedelaan *Blackman* berbasis FPGA. *Design entry* yang digunakan adalah skematik dengan mengambil *library* dari Xilinx seri XC4013.

Putra A. E., (1997) menyatakan bahwa tapis digital FIR 16 tap dapat dibuat dengan masukan VHDL, baik *behaviour* maupun *structural*. Perbandingan *entry design behaviour* dan *structural* memberikan hasil bahwa *entry structural* memberikan hasil yang lebih cepat dibanding *behaviour*.

### 1.3 Landasan teori

#### Metode Penjedelaan

Perancangan tapis digital FIR (*Finite Impulse Response*) tidak terlepas dari metode penjedelaan. Metode penjedelaan dibutuhkan untuk membatasi *infinite impulse response* yang muncul. Beberapa metode penjedelaan yang banyak digunakan adalah *rectangular*, *Bartlett*, *Hanning*, *Hamming*, dan *Blackman window*.

## 2. METODE PENELITIAN

### Bahan & Alat Penelitian

Bahan penelitian yang digunakan dalam penelitian ini berupa perangkat keras dan perangkat lunak yang meliputi : Spartan II FPGA seri XC2S100-TQFP144 Xilinx dalam sebuah papan XSA-100, ADC 0809 dan DAC 0808, *Monolithic sample and hold* seri LF 398N, *Op-Amp* LF 353 dan LM 741, *Xilinx Integrated Service Environment WebPACK* versi 6.3i (*Xilinx ISE WebPACK v6.3i*) dari Xilinx Inc, ModelSim Xilinx Edition II versi 5.7c *starter edition* (MXE II v5.7c) yang digunakan sebagai alat bantu untuk melakukan simulasi pada Xilinx ISE 6.3i, komputer

dengan spesifikasi P III 800 MHz RAM 128 MB, sebagai alat untuk menggambar untai logika menggunakan ISE 6.3i dan simulasi dengan ModelSim Xilinx Edition II, rangkaian catu daya +5Volt dan -5 Volt, osiloskop *dual trace* 20 MHz Hung Chang 6502, *sweep function generator* Aron 8205A dan pencacah frekuensi 30 MHz

### 3. JALAN PENELITIAN

#### 3.1 Perancangan tapis LPF digital FIR dengan penjedeleaan Hamming

Pada penelitian ini, akan dirancang sebuah tapis digital pelewat rendah (LPF), FIR (*Finite Impuls response*) dengan metoda penjedeleaan *Hamming* yang mempunyai spesifikasi sebagai berikut :

- Batas tepi frekuensi passband ( $f_p$ ) 500 Hz
- Batas tepi frekuensi stopband ( $f_s$ ) 750 Hz
- Stopband attenuation > 50 dB
- Frekuensi cuplik 15 KHz
- Pass Band ripple,  $\delta_1$  0,06
- Stop Band ripple,  $\delta_2$  0,3

Dari spesifikasi tersebut diatas maka dapat ditentukan besarnya lebar dari *transition band* ,  $\Delta f$  adalah sebagai berikut

$$\Delta f = f_s - f_p = 750 - 500 \text{ Hz} = 250 \text{ Hz}$$

Cut-off frequency dapat diperoleh sebagai berikut :

$$f_c = f_s + \Delta f / 2 = (500 + 250/2) = 625 \text{ Hz}$$

Nilai  $\Delta f$ ,  $f_s$ ,  $f_p$  dan  $f_c$  adalah dalam kawasan frekuensi analog, sehingga perlu diubah dalam kawasan frekuensi digital terlebih dahulu [Ludeman, hal 202].

$$\Omega_i = 2 \pi f_i$$

$$\omega_i = \Omega_i T_{samp} = \frac{2 \pi f_i}{f_{samp}} \quad (1)$$

dengan frekuensi cuplik ,  $f_{samp}$  sebesar 15 KHz, maka dalam kawasan digital :

$$\omega_p = \frac{2 \pi 500}{15000} = \frac{1}{15} \pi \text{ rad}$$

$$\omega_s = \frac{2 \pi 750}{15000} = \frac{1}{10} \pi \text{ rad}$$

$$\omega_c = \frac{2 \pi 625}{15000} = \frac{1}{12} \pi \text{ rad}$$

$$\Delta \omega = \omega_s - \omega_p = \frac{1}{30} \pi \text{ rad}$$

Jumlah koefisien tapis FIR dapat diperoleh dengan pendekatan rumus empiris sebagai berikut [Champagne B., Labeau F., hal 197]

$$N = \frac{-10 \log_{10}(\delta_1 \delta_2) - 13}{2,324(\omega_s - \omega_p)} \quad (2)$$

sehingga

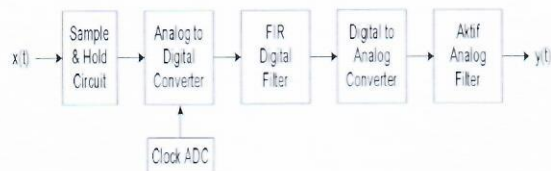
$$N = \frac{-10 \log_{10}(0,06 \cdot 0,3) - 13}{2,324((1/30) \pi \text{ rad})} = 18,27369$$

N adalah ganjil sehingga dipilih N = 19.

Tanggapan denyut  $h_n(n)$  tapis digital LPF dengan jendela Hamming diperlihatkan pada tabel 1.

#### 3.2 Blok diagram perancangan sistem

Blok diagram realisasi tapis digital FIR yang akan diimplementasikan dalam keping FPGA Spartan II diperlihatkan pada gambar 1.



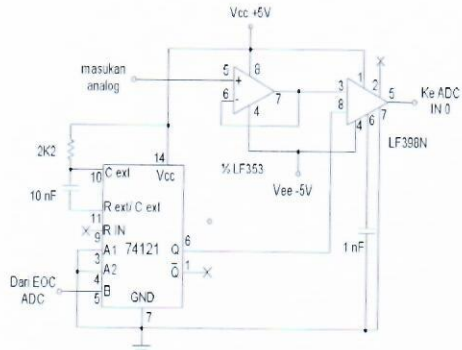
Gambar 1. Blok diagram tapis digital FIR

Tabel 1. Koefisien tapis digital implementasi

$n$	$h_D(n)$	$w_{Ham}(n)$	$h_n(n) = h_D(n) \cdot w_{Ham}(n)$	$n$
0	0,08333	1	0,08333	0
-1	0,08238	0,99116	0,08165	1
-2	0,07958	0,96498	0,07679	2
-3	0,07503	0,92248	0,06921	3
-4	0,06892	0,86527	0,05963	4
-5	0,06149	0,79556	0,04892	5
-6	0,05305	0,71603	0,03798	6
-7	0,04392	0,62974	0,02764	7
-8	0,03446	0,54000	0,01861	8

### 3.2.1 Sample & hold circuit

Rangkaian *sample & hold* diperlihatkan pada gambar 2.



Gambar 2. Rangkaian *sample & hold*

Waktu akuisisi data untuk LF 398N (dengan kapasitor 1 nF) adalah sebesar 4  $\mu$ s.

Periode waktu keluaran 74121 (dengan nilai R = 2K2 dan C = 10nF) adalah :

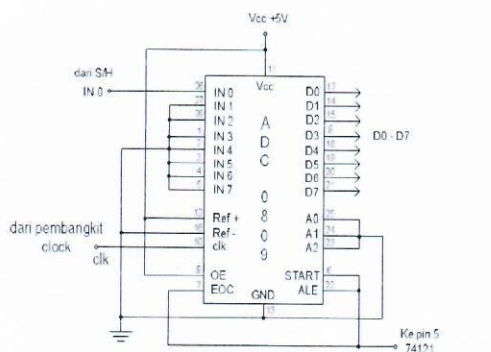
$$T_p = 0,7 \times R \times C = 2200 \times 10 \times 10^{-9} = 15,4 \mu s$$

Nilai  $T_p$  telah memenuhi syarat yaitu harus lebih besar dari nilai akuisisi LF398N.

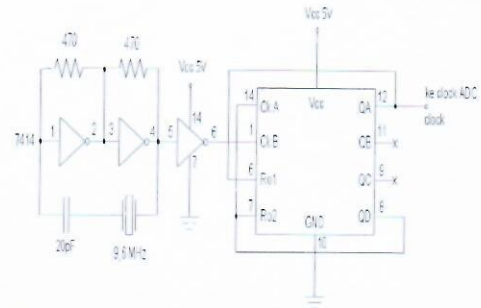
### 3.2.2 Pengubah Analog ke digital dan pembangkit clock

Keluaran ADC0809 diberikan sebagai masukan FPGA. Rangkaian pengubah analog ke digital ditunjukkan pada gambar 3.

Pembangkit *clock* yang digunakan pada penelitian ini diperlihatkan pada gambar 4 yang menghasilkan keluaran sebesar 9.6 MHz / 9 yaitu 1067 KHz.



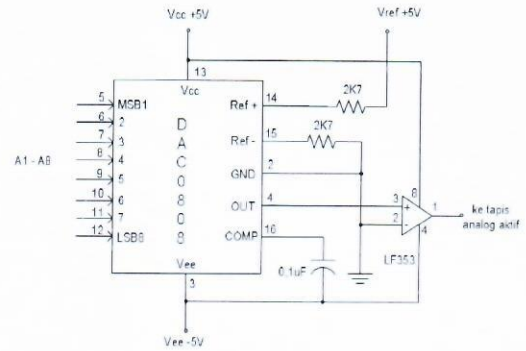
Gambar 3. Rangkaian pengubah analog ke digital.



Gambar 4. Rangkaian pembangkit *clock* ADC.

### 3.2.4 Pengubah digital ke analog

Rangkaian pengubah digital ke analog diperlihatkan pada gambar 5.

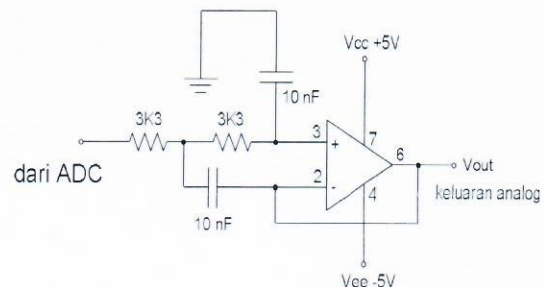


Gambar 5. Rangkaian DAC0808

Tegangan keluaran diperoleh dengan mengubah arus keluaran menjadi tegangan melalui sebuah penguat operasional LF353. Keluaran pengubah digital ke analog ini diberikan ke tapis analog aktif untuk lebih memperhalus sinyal analog keluaran DAC.

### 3.2.5 Tapis analog aktif

Rangkaian tapis analog ini diperlihatkan pada gambar 6.



Gambar 6. Rangkaian tapis analog aktif



Frekuensi *cut-off* rangkaian tapis analog (dengan R = 3K3 dan C = 6,8nF) :

$$f_c = \frac{1}{2\pi RC} = 7092,47 \text{ Hz}$$

### 3.2.6 Koefisien pengali.

Implementasi rangkaian pengali ini menggunakan algoritma *booth bit pair recoding* (Cavanagh, 1985). Nilai – nilai koefisien implementasi adalah 0,08333, 0,08165, 0,07679, 0,06921, 0,05963, 0,04892, 0,03798, 0,02764, 0,01861.

Koefisien pengali mempunyai nilai pecahan, untuk mengimplementasikannya dalam perkalian (biner) maka nilai pecahan ini harus diubah terlebih dahulu menjadi nilai integer yaitu dengan metode mengalikannya nilai pecahan tersebut dengan sebuah bilangan  $2^9$  ( $512_{10}$ ). Nilai  $2^9$  ini dipilih karena nantinya hasil perkalian integer ini dilakukan pembulatan dengan cara pemotongan langsung 9 buah bit mulai dari LSB, tentu saja hasil perkalian pecahan ini menjadi tidak akurat, tetapi inilah metode pendekatan yang dipilih.

Nilai koefisien yang telah dikalikan dengan  $2^9$  dalam bentuk integer dan biner diperlihatkan pada tabel 2.

## 4. Hasil dan Pembahasan

Koefisien pengali yang digunakan adalah algoritma *bit pair recoding*, dan sebagai bahan perbandingan juga disajikan data hasil dari implementasi menggunakan algoritma *booth* dan algoritma *paper & pencil*.

Analisa hasil penelitian dititik beratkan pada perbandingan *maximum combinational path delay* dan penggunaan *Slices* hasil implementasi tapis digital untuk algoritma *paper & Pencil*, *Booth* dan *Bit pair recoding*.

Tabel 3 memperlihatkan hasil perbandingan *maximum combinational path delay* untuk algoritma *paper & pencil*, *booth* dan *bit pair recoding*.

Tabel 2. Koefisien pengali dalam bilangan integer dan biner

N	Koefisien (pecahan)	Koef. x $2^9$ ( $512_{10}$ )	Pembulatan	Kode biner hasil pembulatan (9 bit)
1	0,08333	42,66496	43	000101011
2	0,08165	41,8048	42	000101010
3	0,07679	39,31648	39	000100111
4	0,06921	35,43552	35	000100011
5	0,05963	30,53056	31	000011111
6	0,04892	25,04704	25	000011001

7	0,03798	19,44576	19	000010011
8	0,02764	14,15168	14	000001110
9	0,01861	9,52832	10	000001010

Tabel 3. Perbandingan *maximum combinational path delay* untuk algoritma *Paper & Pencil*, *Booth* dan *Bit pair recoding*.

	<i>Maximum combinational path delay</i> untuk Algoritma <b>Paper &amp; Pencil</b> (nS)	<i>Maximum combinational path delay</i> untuk Algoritma <b>Booth</b> (nS)	<i>Maximum combinational path delay</i> untuk Algoritma <b>Bit pair recoding</b> (nS)
Koef 1	57,800	33,677	22,952
Koef 2	57,800	33,008	26,318
Koef 3	57,800	29,187	23,271
Koef 4	57,800	29,187	23,201
Koef 5	57,800	21,877	16,548
Koef 6	57,800	33,026	23,231
Koef 7	57,800	30,988	19,725
Koef 8	57,800	21,877	20,104
Koef 9	32,243	26,577	23,281

Tabel 3 menunjukkan bahwa algoritma *Bit pair recoding* membutuhkan waktu *delay* yang paling singkat. Apabila waktu *delay* ini diprosentase terhadap algoritma *Paper & pencil* maka algoritma *Booth* memiliki waktu *delay* 94,87 % lebih cepat dan algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat dari algoritma *Paper & pencil*.

Banyaknya *slices* yang digunakan untuk algoritma *paper & pencil*, *booth* dan *bit pair recoding* diperlihatkan pada tabel 4.

Tabel 4. Perbandingan penggunaan *Slices* untuk Algoritma *paper & Pencil*, *Booth* dan *bit pair recoding*.

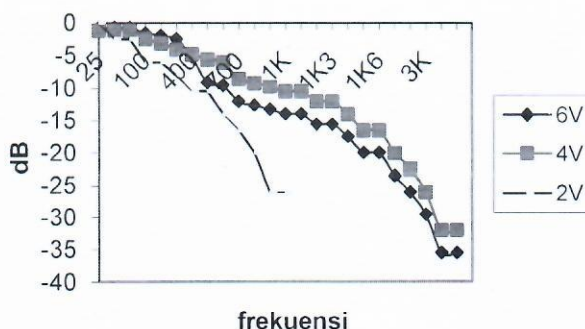
	Algoritma <b>Paper &amp; Pencil</b>		Algoritma <b>Booth</b>		Algoritma <b>Bit pair recoding</b>	
	<i>slices</i> (dari 1200)	prosen	<i>Slices</i> (dari 1200)	prosen	<i>Slices</i> (dari 1200)	prosen
Ko1	32	2 %	44	3 %	40	3 %

Ko 2	32	2 %	44	3 %	50	4 %
Ko 3	32	2 %	28	2 %	50	4 %
Ko 4	32	2 %	28	2 %	50	4 %
Ko 5	32	2 %	16	1 %	20	1 %
Ko 6	32	2 %	28	2 %	30	2 %
Ko 7	32	2 %	28	2 %	30	2 %
Ko 8	32	2 %	16	1 %	20	1 %
Ko 9	28	2 %	32	2 %	40	3 %
<b>rata-rata</b>		<b>2 %</b>		<b>2 %</b>		<b>2,67 %</b>

Tabel 4 menunjukkan bahwa banyaknya *slice* rata-rata yang digunakan pada algoritma *Paper & pencil* adalah 2 %, sedangkan banyaknya *slice* rata-rata yang digunakan pada algoritma *Booth* adalah sebesar 2 % dan untuk algoritma *Bit pair recoding* menggunakan *slice* rata-rata sebanyak 2,67 %.

Masukan tapis digital ini berasal dari *sweep frequency generator* yang membangkitkan sinyal sinus dari 25 Hz sampai dengan 5000 Hz, dengan amplitudo bervariasi antara 2 - 6 Vp-p. Masukan dan keluaran tapis digital diamati menggunakan osiloskop *dual trace*.

Pada gambar 7 tampak bahwa tanggapan frekuensi yang paling bagus untuk tapis hasil rancangan adalah pada tegangan masukan 2 Vp-p.



Gambar7. Tanggapan frekuensi tapis digital FIR

## 5. KESIMPULAN

Berdasarkan hasil penelitian dan pembahasan yang telah dilakukan maka dapat diambil kesimpulan sebagai berikut :

1. Tapis digital *finite impulse response* dengan penjedelaan Hamming telah dirancang dan diimplementasikan kedalam FPGA dan dapat bekerja sesuai dengan rancangan.
2. Besarnya prosentase kesalahan rata-rata akibat adanya pembulatan koefisien pengali adalah sebesar 10,77 %

(*bit pair recoding*), 11,06 % (*booth*) dan 11,55 % (*paper & pencil*)

3. Koefisien pengali diimplementasikan dengan algoritma *bit pair recoding* yang memiliki waktu *delay* yang paling singkat. Apabila waktu *delay* ini dibandingkan terhadap algoritma *Paper & pencil* maka algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat sedangkan algoritma *Booth* memiliki waktu *delay* 94,87% lebih cepat.
4. Banyaknya *Slices* rata-rata yang digunakan pada implementasi tapis digital ini adalah sebesar 2,67% (*bit pair recoding*) sedangkan untuk algoritma *booth* dan *paper & pencil* adalah sebesar 2%.
5. Tanggapan frekuensi tapis digital diuji terhadap beberapa tegangan masukan yang mempunyai amplitudo 2, 4 dan 6 Vp-p, dan hasil menunjukkan bahwa tanggapan frekuensi paling baik terhadap tegangan masukan yang kecil (2 Volt p-p).

## 6. SARAN

Beberapa saran dapat dikemukakan pada penelitian ini untuk dijadikan dasar dalam melakukan penelitian selanjutnya sebagai berikut :

1. Jumlah tap pada perancangan tapis dapat ditambah untuk lebih memperhalus hasil rancangan, tetapi hal ini mempunyai konsekuensi terhadap jumlah komponen-komponen yang juga bertambah banyak , sedangkan jumlah gerbang pada FPGA adalah terbatas.
2. Komponen-komponen analog dapat diperbaiki unjuk kerjanya dengan menggantinya menggunakan rancangan yang lebih baik, misalnya pada tapis analog aktif , dapat diganti dengan tapis analog dengan orde yang lebih tinggi untuk meningkatkan performanya.

## DAFTAR PUSTAKA

- [1] Cavanagh J.J.F., 1985, "Digital Computer Arithmetic", McGraw-Hill Book Company.
- [2] Champagne B., Labeau F., 2004," Filter Design", Chapter 9, McGraw-Hill Book Company.
- [3] Gafar A., 2002, " Perancangan tapis digital FIR pelewat rendah dengan penjedelaan Blackman berbasis FPGA ", Teknik Elektro Universitas Gadjah Mada.
- [4] Kuc R., 1982, "Introduction to digital signal processing", McGraw-Hill Book Company.
- [5] Ludeman L.C., 1986, "Fundamentals of Digital Signal Processing", Harper & Row Publisher.