



Buku **3**

ISSN 1907-5995

PROSIDING SEMINAR NASIONAL

Ke-5 Tahun 2010

ReKAYASA **T**EKNOLOGI **I**NDUSTRI DAN **I**NFORMASI



TECHNOLOGY FOR PROSPERITY AND HARMONY



STTNAS YOGYAKARTA 18 DESEMBER 2010



**PROSIDING
SEMINAR NASIONAL
KE-5 Tahun 2010**

Rekayasa Teknologi Industri dan Informasi

Technology for Prosperity and Harmony

**SEKOLAH TINGGI TEKNOLOGI NASIONAL
YOGYAKARTA**

SUSUNAN PANITIA

PENANGGUNG JAWAB	: Ketua STTNAS Yogyakarta (Ir. H. Ircham, MT.)
PENGARAH	: Pembantu Ketua I STTNAS Yogyakarta (Ir. Harianto, MT.) Pembantu Ketua II STTNAS Yogyakarta (Ir. Sukartono, MT.) Pembantu Ketua III STTNAS Yogyakarta (Ir. Rr. Amara Nugrahini, MT.)
PELAKSANA	
Ketua	: Retnowati Setioningsih, ST., MT.
Sekretaris, Redaksional & Prosiding	: Djoko Purwanto, ST.
Anggota	: Sunah
Bendahara	: Desi Nurdina, A.Md.
Seksi Acara	: Dr. Hill. Gendoet Hartono, ST., MT.
Seksi Makalah/Publikasi	
↓ T. Sipil	: Marwanto, ST., MT.
↓ T. Planologi	: Drs. Achmad Wismoro, ST., MT.
↓ T. Mesin	: Sutrisna, ST., MT.
↓ T. Elektro	: Joko Prasajo, ST., MT.
↓ T. Geologi	: T. Listyani Retno Astuti, ST., MT.
↓ T. Pertambangan	: Ir. A. Isjudarto, MT.
Seksi Perlengkapan & Dokumentasi	: Ferry Okto Satriya, ST.
Anggota	: Ign. Purwanto



BUKU III

TEKNIK ELEKTRO

1. Portal Kumpulan Resep Tradisional Herbal Khas Indonesia Tri Retno Kusumaningrum, Yunita Kemalasari	189
2. Desain Pembelajaran “Moletic” Untuk Mempermudah Pembelajaran Matematika SMA Yunita Kemalasari, Tri Retno Kusumaningrum	195
3. Sistem Informasi Jurnal Lapangan Bahari (JALARI) Sebagai Sarana Untuk Mengoptimalkan Sumber Daya Kelautan Di Indonesia Nur Endhar Gustiarko, Etika Kartikadarma	199
4. Aplikasi Berbasis SMS Untuk Memperoleh Informasi Kurs Valuta Asing Yuliani Indrianingsih	205
5. Analisis Pengaruh Redaman Hujan Pada Teknologi VSAT SCPC Terhadap <i>Link Budget</i> Arah <i>Uplink</i> dan <i>Downlink</i> Anggun Fitriani Isnawati, Wahyu Pamungkas, Susi Susanti D	210
6. Rancang Bangun Robot Ikan Tugino, Daniel Adi Saputra, I Ketut Swakarma	215
7. Alat Pengendali Faktor Daya Otomatis Beban Induktif Berbasis Mikrokontroler Markus Indrayana, Martanto, B. Wuri Harini	219
8. Penerapan <i>Fuzzy C-Means Clustering</i> Untuk Pengelompokan Data Dan Seleksi Penerima Beasiswa Sanata Dharma Eko Hari Parmadi	225
9. Permainan Angklung Elektronis Berbasis Mikrokontroler Th. Prima Ari S, A Hendro Noviyanto Y, Joko Pamuntas	229
10. Otomasi Spektrofotometer Untuk Pengukuran Konsentrasi Dua Senyawa Secara Simultan B. Wuri Harini, Antonius Tri Priantoro, Agung Bambang Setyo Utomo	234
11. Pencetak Kertas Daur Ulang Otomatis Berbasis Mikrokontroler ATMega 8535 Fernando, B. Wuri Harini	240
12. Pengaruh Koreksi Slope, Slant Dan Skala Pada Segmentasi Kata Tulisan Tangan Yang Menggunakan Tapis Gaussian 1D Linggo Sumarno	245
13. <i>Intelligent Power Factor Correction</i> Untuk Meningkatkan Efisiensi Energi Listrik Suprpto	251
14. Analisis Pengaruh UPFC Pada Aliran Daya Petrus Setyo Prabowo	257
15. Perencanaan Pembangkit Listrik Tenaga Bayu-PLTB (Studi Di PLTB Kuwaru Poncosari Srandakan Bantul) Dulhadi, Suparyanto, Usman Phalase	262

16. Kajian Pengaruh Kelembaban Tanah Terhadap Resistan Tanah Dan Tegangan Pelanggan Di Wilayah Propinsi Daerah Istimewa Yogyakarta Dulhadi, Guswanto, Joko Dwi Nurcahyanto	271
17. Rancang Bangun Fotometri Berbasis Mikrokontroler ATMega 8535 Totok Dermawan	279
18. Sistem Monitoring Dan Keamanan Gedung Menggunakan <i>Webcam</i> Sebagai <i>Detection</i> Margono	283
19. <i>Design</i> Kendali Otomatis Pengaman Pintu Perlintasan Kereta Api <i>Double Track</i> Berbasis PLC (<i>Programmeable Logic Controller</i>) Djodi Antono	287
20. Sistem Pendaftaran Akta <i>Online</i> Badan Kependudukan Dan Pencatatan Sipil Diah Suwarti W, Djodi Antono	294
21. Simulasi Komputer <i>Digital Graphic Equalizer</i> T. Tirta Sari, Damar Widjaja	302
22. Efisiensi Konversi Energi Matahari Menjadi Energi Listrik Melalui Pemusatan Berkas Cahaya Matahari Agung Trihasto	307
23. Implementasi Perkalian <i>Word 8 Bit</i> Dengan Koefisien Pengali Menggunakan <i>Alogaritma Booth Bit Pair Recording</i> Denny Dermawan	310

IMPLEMENTASI PERKALIAN *WORD 8 BIT* DENGAN KOEFISIEN PENGALI MENGGUNAKAN ALGORITMA *BOOTH BIT PAIR RECODING*

Denny Dermawan
Sekolah Tinggi Teknologi Adisutjipto
dennydermawanstta@gmail.com

ABSTRAK

Operasi perkalian aritmatika dapat diimplementasikan menggunakan rangkaian elektronika digital. Sebelum diimplementasikan dalam rangkaian elektronika digital, rancangan implementasi operasi perkalian ini perlu disimulasikan terlebih dahulu untuk mengetahui seberapa banyak komponen yang diperlukan dan berapakah waktu tunda yang dihasilkan dari implementasi tersebut.

Algoritma perkalian yang digunakan pada penelitian ini adalah algoritma Booth bit pair recoding dengan membandingkannya dengan algoritma Paper&pencil dan algoritma Booth. Ketiganya akan digunakan untuk mengimplementasi operasi perkalian yang diwujudkan sebagai beberapa buah konstanta.

Hasil penelitian menunjukkan bahwa Implementasi koefisien pengali menggunakan algoritma Paper&Pencil memerlukan perangkat hardware yang lebih banyak dibandingkan dengan implementasi menggunakan algoritma Booth. Waktu delay hasil implementasi dengan algoritma Booth Bit Pair recoding lebih cepat dibanding dengan waktu delay hasil implementasi dengan algoritma Booth dan Paper&Pencil. Apabila waktu delay ini dibandingkan terhadap algoritma Paper & pencil maka algoritma Booth Bit Pair Recoding memiliki waktu delay 137,4% lebih cepat dibanding Paper&Pencil.

Keywords : Perkalian, Algoritma Booth Bit Pair Recoding, Simulasi

LATAR BELAKANG

Komponen utama dari sebuah komputer meliputi Memori, perangkat masukan – keluaran dan unit pengolah logika aritmatika. Bagian yang berperan utama dari sistem komputer digital adalah ALU (*Arithmetic Logic Unit*) atau disebut unit logika aritmatika. ALU mempunyai peran utama yaitu melakukan operasi-operasi logika (AND, OR, NOT dan lain-lain) maupun operasi aritmatika (penjumlah, pengurang pengali dan pembagi). ALU menerima data kemudian mengolahnya dan mengubahnya menjadi suatu besaran yang lebih informatif.

Operasi aritmatika (penjumlah, pengurang pengali maupun pembagi) dilakukan oleh sebuah prosesor (perangkat elektronika digital) yang akan menerima data biner dan mengubahnya menjadi besaran biner yang lebih berarti. Pembuatan suatu prosesor didahului dengan perancangan prosesor tersebut menggunakan rangkaian elektronika digital. Rangkaian ini digambar kemudian diuji coba terlebih dahulu unjuk kerjanya, apabila telah sesuai dengan hasil perancangan yang diinginkan, kemudian hasil rancangan ini diproses lebih lanjut untuk dibuat menjadi *chip* prosesor. Pengujian dilakukan untuk mengetahui kebenaran unjuk kerjanya, pengujian dapat dilakukan baik secara *software* maupun diimplementasikan ke *hardware*. Perancangan suatu prosesor digital untuk kepentingan tertentu, didahului dengan pembuatan algoritma dari rancangan yang diinginkan.

Pada penelitian ini akan mengimplementasikan salah satu operasi aritmatika yaitu operasi perkalian. Perkalian biner dapat diterapkan menggunakan beberapa algoritma yang sudah ada. Masing-masing algoritma mempunyai keunggulan dan kelemahan tertentu. Algoritma yang diterapkan pada perkalian biner pada penelitian ini adalah algoritma *Paper & Pencil*, *Booth* dan *Booth Bit Pair recoding*. Algoritma Paper & Pencil adalah algoritma yang paling sederhana yang

penerapannya sudah dilakukan secara luas dan merupakan penerapan perkalian yang sangat dasar. Algoritma Booth merupakan algoritma yang menggunakan sistem komplemen² dan algoritma ini akan menghasilkan penghematan *hardware* yang digunakan. Selain memiliki keunggulan dalam penghematan *hardware*, algoritma Booth ini mempunyai keunggulan juga dalam hal tunda waktu yang dibutuhkan dalam proses perkalian. Tunda waktu adalah waktu yang diperlukan oleh prosesor untuk menjalani proses yang dieksekusi. Tunda waktu ini tidak boleh terlalu lama, karena akan mempengaruhi proses yang lainnya.

TUJUAN

Adapun tujuan yang akan dicapai dalam penelitian ini adalah:

1. Merancang algoritma *Booth bit pair recoding* untuk perkalian word 8 bit dengan koefisien pengali.
2. Membandingkan algoritma rancangan dengan algoritma Booth dan algoritma Paper & Pencil.
3. Melakukan simulasi dari hasil rancangan yang telah dibuat, baik untuk algoritma paper & Pencil, Booth maupun Booth bit pair recoding dan mengamati waktu tunda pada masing-masing algoritma.

Analisa pada algoritma perkalian biner ini diharapkan akan menghasilkan rancangan *hardware* yang baik yang memiliki tunda waktu yang sangat singkat serta jumlah komponen *hardware* yang lebih sedikit.

METODE PENELITIAN

1. Koefisien Pengali

Perkalian biner yang akan diimplementasikan diwujudkan dalam bentuk perkalian antara sebuah data tetap (koefisien) dengan data masukan. Koefisien rangkaian pengali ini ada 3 buah koefisien dan nilainya dapat dilihat pada tabel 1.

Tabel 1. Koefisien –Koefisien Yang Akan Diimplementasikan

No.	Koefisien
1	0,08333
2	0,08165
3	0,07679

Implementasi rangkaian pengali ini menggunakan algoritma *Paper and Pencil*, *Booth* dan algoritma *Booth Bit Pair Recoding*. Nilai – nilai koefisien implementasi adalah 0,08333, 0,08165 dan 0,07679.

Lebar data koefisien pengali adalah 9 bit , sehingga lebar data koefisien pengali adalah 9 bit. Koefisien pengali mempunyai nilai pecahan, untuk mengimplementasikannya dalam perkalian (biner) maka nilai pecahan ini harus diubah terlebih dahulu menjadi nilai integer yaitu dengan metode mengalikannya nilai pecahan tersebut dengan sebuah bilangan 2^9 (512). Nilai 2^9 ini dipilih karena nantinya hasil perkalian integer ini dilakukan pembulatan dengan cara pemotongan langsung 9 buah bit mulai dari LSB, tentu saja hasil perkalian pecahan ini menjadi tidak akurat, tetapi inilah metode pendekatan yang dipilih.

Nilai koefisien yang telah dikalikan dengan 2^9 dalam bentuk integer dan biner diperlihatkan pada tabel 2.

Tabel 2. Koefisien Pengali Dalam Bilangan Integer Dan Biner

N	Koefisien (pecahan)	Koef. x 2^9 (512)	Pembulatan	Biner (9bit)
1	0,08333	42,66496	43	000101011
2	0,08165	41,8048	42	000101010
3	0,07679	39,31648	39	000100111

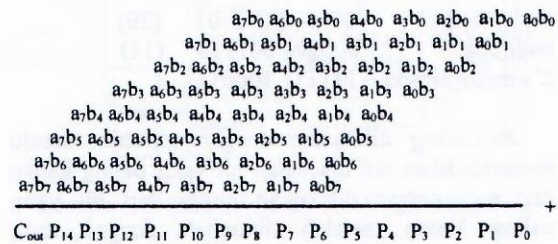
Nilai koefisien perancangan dikalikan dengan bilangan 512 (2^9) hasilnya dibulatkan dengan cara apabila $>0,5$ akan dibulatkan ke 1 dan apabila $<0,5$ akan dibulatkan ke 0. Bilangan integer ini kemudian dibuat kombinasi binernya untuk selanjutnya digunakan sebagai bilangan pengali. Keluaran dari pengali ini akan langsung dipotong sebanyak 9 bit dimulai dari LSBnya.

2. Koefisien Pengali Dengan Algoritma *Paper&Pencil*

Algoritma perkalian ada berbagai macam, salah satunya adalah algoritma *Paper and Pencil* (Cavanagh, 1985). Penggunaan algoritma ini akan menghasilkan bilangan susun yang bergeser 1 bit untuk setiap hasil dari proses perkalian dalam bit yang sama. Ilustrasi perkalian 8 x 8 bit *paper and pencil* diperlihatkan pada Gambar 1.

Bilangan yang akan dikalikan : $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$

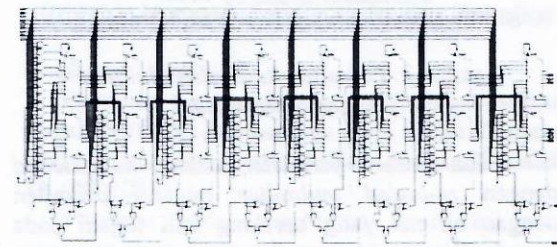
Bilangan pengali : $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$



Gambar 1. Struktur Perkalian 8 X 8 Bit *Paper And Pencil*

Nilai koefisien yang berbentuk pecahan , setelah dikalikan dengan 2^9 dan dibuat kombinasi binernya tampak pada table 2 pada kolom yang paling kanan. Kombinasi biner inilah yang diimplementasikan dengan metode /algoritma *Paper & Pencil* seperti pada gambar 3.10

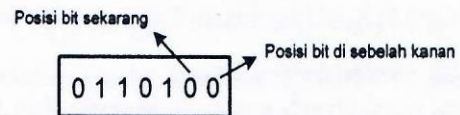
Implementasi Koefisien dari koefisien 1 = 0,08333 sampai dengan koefisien 5 = 0,05963 menggunakan algoritma *Paper&Pencil* berdasarkan pada gambar 1 diperlihatkan pada Gambar 2.



Gambar 2. Implementasi Koefisien 1 (0,08333) Dengan Algoritma *Paper&Pencil*

3. Implementasi koefisien pengali dengan algoritma *Booth*

Algoritma lain yang digunakan adalah algoritma *booth* yaitu suatu prosedur perkalian biner dengan menggunakan representasi komplement 2. Pada algoritma *Booth* ini, multiplier akan di-*recoded* dengan mengacu pada aturan seperti pada Tabel 3.



Tabel 3. Aturan *Re-Coding* Pada Algoritma *Booth*

Posisi Bit Sekarang	Posisi Bit Disebelah Kanannya	Perubahan Bit
0	0	0
0	1	1
1	0	-1
1	1	0

Algoritma *booth* dijelaskan pada contoh perkalian berikut ini :

$$29 \times 14 = 406$$

multiplicand 000000 011101 (29)
multiplier 000000 001110 (14)
 2's *multiplicand* 111111 100011

Re-coding dilakukan dengan terlebih dahulu menambahkan nol disebelah bit yang paling kanan dan pengubahan dilakukan mulai dari bit yang paling kanan (setelah ditambah dengan nol), sehingga :

Multiplier 0 0 1 1 1 0 0
Re-coded multiplier 0 1 0 0 -1 0

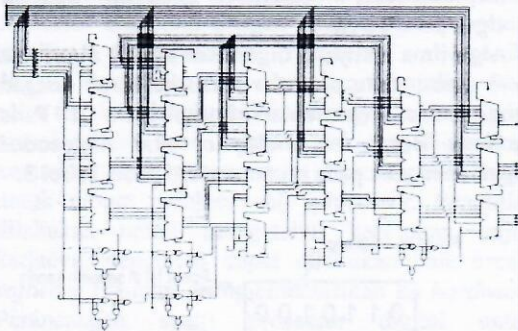
Selanjutnya perkalian *multiplicand* dengan *re-coded multiplier* dilakukan seperti pada Gambar 3.

Multiplicand 000000 0111 01
Re-coded multiplier 0100-10 x
 000000 000 0 0 0 bit nol
 111111 000 1 1 2's *multiplicand*, geser
 000000 000 0 bit nol
 000000 000 0 bit nol
 000111 01 *copy multiplicand*, geser
 000000 0 bit nol
 (sign bit) 1 000110 010 1 1 0 (= 406)

Gambar 3. Perkalian *Re-Coded Multiplier* Dengan *Multiplicand*

Pada Proses perkalian antara *multiplicand* dengan *re-coded multiplier* muncul perkalian dengan bit nol yang berulang kali terjadi pada contoh diatas sehingga akan sangat menghemat *hardware* yang digunakan.

Rangkaian untuk implementasi koefisien 1 (0,08333) diperlihatkan pada Gambar 4.



Gambar 4. Implementasi koefisien 1 : 0,08333

4. Implementasi Koefisien Pengali Dengan Algoritma *Booth Bit Pair Recoding*

Faktor yang sangat menentukan peningkatan kecepatan dalam perkalian sangat bergantung pada konfigurasi bit dari *multiplier*. Metode *bit pair recoding* dikembangkan dari metode *Booth*. Pada metode *bit pair recoding* ini pengamatan tidak hanya dilakukan pada *multiplier bit pair* (*i + 1* dan *i*) tetapi juga pada bit pengali disebelah kanan (*i - 1*). Pengamatan dilakukan terhadap 3 buah bit

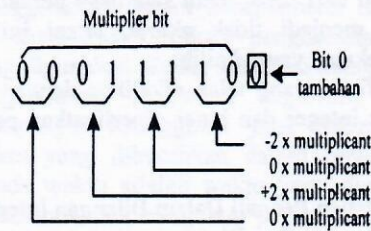
multiplier sehingga ada delapan buah kemungkinan seperti diperlihatkan pada tabel *Bit Pair Recoding* pada Tabel 4.

Tabel 4. Tabel *Bit Pair Recoding*

Multiplier Bit Pair		Multiplier Bit Pair Disebelah Kanan	Proses Pada Multiplicand
I + 1	I	I - 1	
0	0	0	0 x <i>Multiplicand</i>
0	0	1	+1 x <i>Multiplicand</i>
0	1	0	+1 x <i>Multiplicand</i>
0	1	1	+2 x <i>Multiplicand</i>
1	0	0	-2 x <i>Multiplicand</i>
1	0	1	-1 x <i>Multiplicand</i>
1	1	0	-1 x <i>Multiplicand</i>
1	1	1	0 x <i>Multiplicand</i>

[Cavanagh J.J.F., hal. 163]

Sebagai ilustrasi, sebuah *multiplier* 8 bit memiliki kombinasi bit sebagai (0 0 0 1 1 1 1 0) dapat dibuat *Bit Pair Recoding* seperti pada Gambar 5.



Gambar 5. *Bit Pair Recoding* Pada *Multiplier* 00011110

Pada Gambar 5 tampak bahwa 8 bit *multiplier* akan menghasilkan 4 buah penjumlah parsial (separuh dari jumlah bit *multiplier*) dan ini adalah keunggulan metode *Bit pair recoding* karena dari *multiplier* *n* bit maka akan dihasilkan *n/2* penjumlahan parsial.

Koefisien 1 (0,08333)

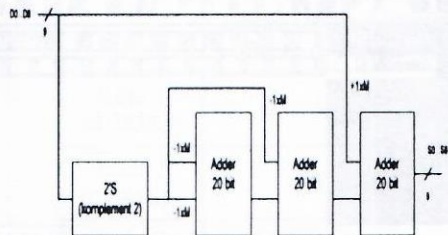
Koefisien pertama yang diimplementasikan adalah 0,08333. Berdasarkan pada tabel 2 maka nilai pembulatan setelah dikalikan dengan 2⁹ adalah 43 (00010101).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada Gambar 6

0 0 1 1 0 0 1 0 0 (+100) *Multiplicand* (M)
 x) 0 0 0 0 1 0 1 0 1 1 0 (+43 / 0,08333) *multiplier*
 0 +1xM -1xM -1xM -1xM
 000000000001100100
 1111111110011100
 11111110011100
 000001100100
 000001000011001100 + (8)
 Hasil dipotong

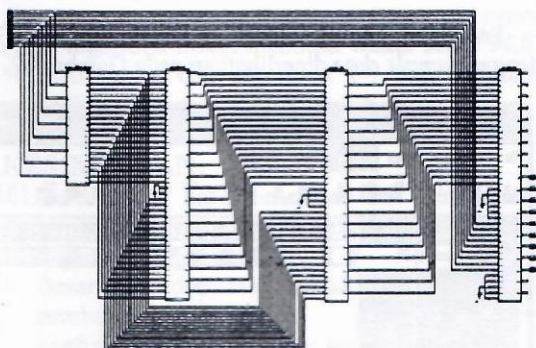
Gambar 6. Perkalian Parsial Koefisien 1 (0,08333)

Perkalian parsial koefisien 1 (0,08333) dapat dibuat blok diagramnya seperti diperlihatkan pada Gambar 7.



Gambar 7. Blok Diagram Koefisien 1 (0,08333)

Gambar skematik untuk implementasi koefisien 1 (0,08333) diperlihatkan pada Gambar 8.

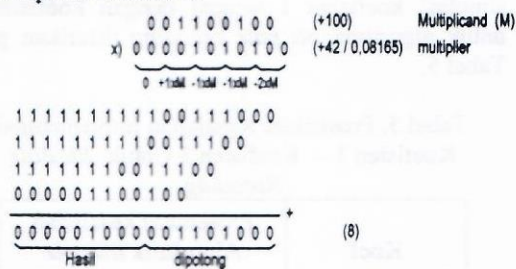


Gambar 8. Hasil Implementasi Koefisien 1 (0,08333) Menggunakan *Booth Bit Pair Recoding*.

Koefisien 2 (0,08165)

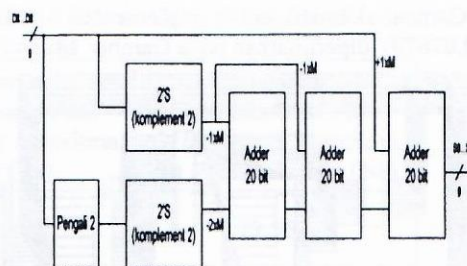
Koefisien kedua yang diimplementasikan adalah 0,08165. Berdasarkan pada tabel 2 maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 42 (000101010).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada Gambar 9.



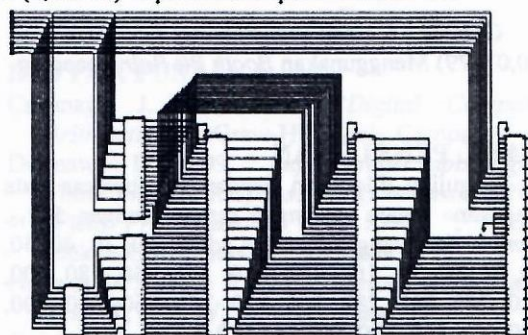
Gambar 9. Perkalian Parsial Koefisien 2 (0,08165)

Perkalian parsial koefisien 2 (0,08165) dapat dibuat blok diagramnya seperti diperlihatkan pada Gambar 10.



Gambar 10. Blok Diagram Koefisien 2 (0,08165)

Gambar skematik untuk implementasi koefisien 2 (0,08165) diperlihatkan pada Gambar 11.

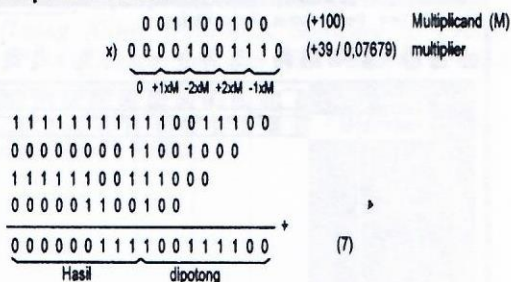


Gambar 11. Hasil Implementasi Koefisien 2 (0,08165) Menggunakan *Booth Bit Pair Recoding*

Koefisien 3 (0,07679)

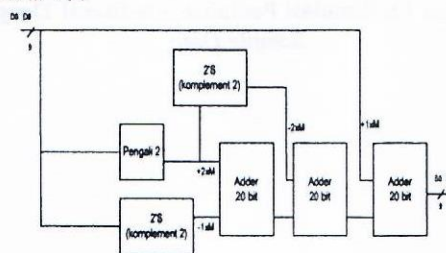
Koefisien ketiga yang diimplementasikan adalah 0,07679. Berdasarkan pada Tabel 2. maka nilai pembulatan setelah dikalikan dengan 2^9 adalah 39 (000100111).

Mengacu pada algoritma *booth bit pair recoding* akan diperoleh susunan perkalian parsial seperti pada Gambar 12.



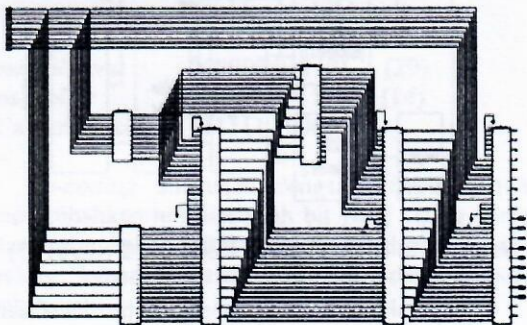
Gambar 12. Perkalian Parsial Koefisien 3 (0,07679)

Perkalian parsial koefisien 3 (0,07679) dapat dibuat blok diagramnya seperti diperlihatkan pada Gambar 13.



Gambar 13. Blok Diagram Koefisien 3 (0,07679)

Gambar skematik untuk implementasi koefisien 3 (0,07679) diperlihatkan pada Gambar 14.



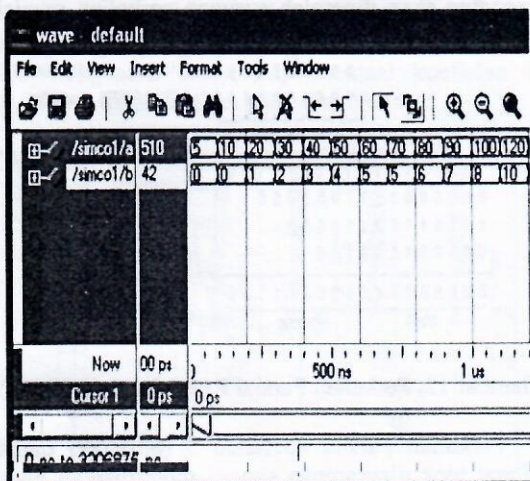
Gambar 14. Hasil Implementasi Koefisien 3 (0,07679) Menggunakan Booth Bit Pair Recoding.

HASIL PENELITIAN

Pengujian dilakukan dengan memberikan data masukan antara rentang 0 sampai dengan 512₁₀. Sample data yang digunakan adalah 20, 30, 40, 50, 60, 70, 80, 90, 100, 110, 120, 140, 160, 180, 200, 220, 240, 260, 280, 300, 320, 340, 360, 380, 400, 420, 440, 460, 480, 500 dan 510.

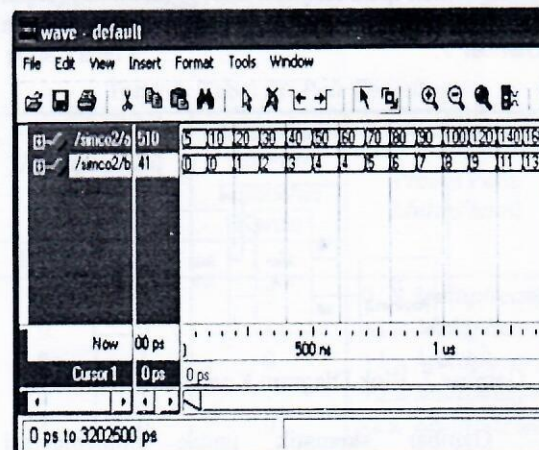
Implementasi rangkaian pengali pada penelitian ini menggunakan algoritma bit pair recoding. Analisa implementasi koefisien ini dibandingkan dengan algoritma yang lain yaitu algoritma booth dan paper&pencil.

Simulasi menggunakan software Model Sim Xilinx Edition II version 5.7.c. Penggalan Simulasi hasil perkalian koefisien1 dengan sample data diperlihatkan pada Gambar 15.



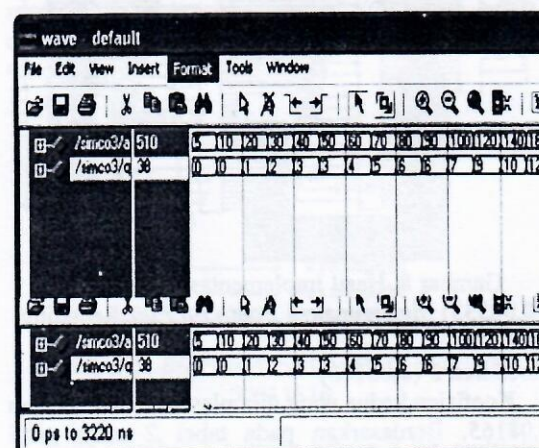
Gambar 15. Simulasi Perkalian Koefisien1 Dengan Sample Data

Penggalan Simulasi hasil perkalian koefisien2 dengan sample data diperlihatkan pada Gambar 16.



Gambar 16. Simulasi Perkalian Koefisien2 Dengan Sample Data

Penggalan Simulasi hasil perkalian koefisien3 dengan sample data diperlihatkan pada Gambar 17.



Gambar 17. Simulasi Perkalian Koefisien3 Dengan Sample Data

Besarnya prosentase kesalahan untuk hasil simulasi koefisien 1 sampai dengan koefisien 3 untuk algoritma bit pair recoding disarikan pada Tabel 5.

Tabel 5. Prosentase Kesalahan Implementasi Koefisien 1 - Koefisien 3 Untuk Bit Pair Recoding

Koef	Prosentase kesalahan Algoritma Bit pair recoding (%)
Koef 1	0.238139
Koef 2	0.276999
Koef 3	0.256240

Tabel 6. memperlihatkan hasil perbandingan maximum combinational path delay untuk algoritma paper&pencil, booth dan bit pair recoding.

Tabel 6. Perbandingan *Maximum Combinational Path Delay* Untuk Algoritma *Paper&Pencil*, *Booth* Dan *Bit Pair Recoding*

Koef	<i>Maximum Combinational Path Delay</i> Untuk Algoritma <i>Paper & Pencil</i> (Ns)	<i>Maximum Combinational Path Delay</i> Untuk Algoritma <i>Booth</i> (Ns)	<i>Maximum Combinational Path Delay</i> Untuk Algoritma <i>Bit Pair Recoding</i> (Ns)
Koef 1 (0,08333)	57,800	33,677	22,952
Koef 2 (0,08165)	57,800	33,008	26,318
Koef 3 (0,07679)	57,800	29,187	23,271

Tabel 6 menunjukkan bahwa algoritma *Bit pair recoding* membutuhkan waktu *delay* yang paling singkat. Apabila waktu *delay* ini diprosentase terhadap algoritma *Paper & pencil* maka algoritma *Booth* memiliki waktu *delay* 94,87 % lebih cepat dan algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat.

KESIMPULAN

Berdasarkan hasil penelitian dan pembahasan yang telah dilakukan maka dapat diambil kesimpulan sebagai berikut:

1. Besarnya prosentase kesalahan akibat adanya pembulatan koefisien1 sampai dengan koefisien3 adalah berkisar antara 0,236296% - 0,256240%.
2. Koefisien pengali diimplementasikan dengan algoritma *bit pair recoding* yang memiliki waktu *delay* yang paling singkat. Apabila waktu *delay* ini dibandingkan terhadap algoritma *Paper & pencil* maka algoritma *Bit pair recoding* memiliki waktu *delay* 137,4% lebih cepat sedangkan algoritma *Booth* memiliki waktu *delay* 94,87% lebih cepat.

DAFTAR PUSTAKA

- Cavanagh J. J.F., 1985, "Digital Computer Arithmetic", McGraw-Hill Book Company.
- Dermawan D., 2009, "Implementasi tapis digital Finite Impulse Response (FIR) berbasis FPGA (Field Programmable Gate Array)", Teknik Elektro Universitas Gadjah Mada
- Holman J.P., Jasjfi E.,1985, "Metode Pengukuran Teknik", edisi IV, Erlangga, Jakarta,
- Gajski D.D., 1997, "Principles of Digital Design", Prentice hall International, Inc.
- Tinder R.F., 1991, "Digital Engineering Design", Prentice-Hall International, Inc.
- _____, 2003, "Model Sim Xilinx Edition II Tutorial Version 5.7c", Model Teknology.
- _____, 2002, "XStend Board V2.1 Manual", Xess Corp.
- _____, 2003, "ISE 6 In-Dept Tutorial", Xilinx
- _____, 2003, "ISE Quick Start Tutorial", Xilinx
- _____, 2003, "Introduction to WebPACK6.1 (Using Xilinx WebPACK Software to Create FPGA Design for the XSA Board)", Xess Corporation.
- _____, 2004, "Spartan II 2.5V FPGA Complete data sheet", Xilinx